

Dijital Kontrollü Yumuşak Mod Geçişli Dört Anahtarlı Bir Alçaltıcı-Yükseltici Çevirici Tasarımı

Design of a Digitally Controlled Four-Switch Buck-Boost Converter with Smooth Mode Transition

Burak ÇAYKENAR¹, Bünyamin TAMYÜREK²



¹Aselsan A.Ş., Ankara, Türkiye
bcaykenari@aselsan.com.tr

²Gazi Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği, Ankara, Türkiye
btamyurek@gazi.edu.tr

Öz

Bu çalışmada dijital kontrollü geniş giriş gerilim aralıklı, yüksek güç yoğunluklu ve verimliliğe sahip bir dört anahtarlı alçaltıcı-yükseltici çevirici (4AAY) yumuşak mod geçişli olarak tasarlanmıştır. Çalışma kapsamında değişken giriş gerilimlerine göre topolojinin mod değişimleri sırasında yaşamış olduğu problemler MATLAB/Simulink ortamında geliştirilen simülasyonlar ve gerçek zamanlı testler ile detaylıca incelenmiş ve literatürde önerilen yöntemlerden daha iyi performans sergileyen yeni bir yumuşak geçiş yöntemi önerilmiştir. Kontrol sinyalindeki kararsızlıklar, ölü bölge olarak adlandırılan zamanda çıkış geriliminin regülasyon olmadan giriş gerilimini izlemesi, çıkış gerilimindeki dalgalanma ve harmonikler, anahtarlardaki darbe atlamaları mod geçişlerinde karşılaşılan önemli problemler olarak sıralanabilir. Mod geçişlerindeki bu problemler topolojinin verimliliğini, regülasyonunu ve kontrolcü kararlılığını olumsuz yönde etkilemektedir. Böylece, önerilen yöntem ile bu problemlerin istenmeyen etkileri minimuma indirilmiştir. Bu kazanımlara ek olarak bu çalışmada bootstrap teknolojisini kullanan anahtar sürücü devrelerinde karşılaşılan senkron anahtarlardan üstte bulunan anahtarın sürekli yani %100 doluluk oranı ile iletimde kalamama problemi için de yenilikçi bir çözüm önerisi sunulmuştur. Geliştirilen çözümlerin doğrulaması simülasyon ve deneysel olarak yapılmış ve sonuçların üstünlüğü literatürdeki diğer çalışmalar ile kıyaslanarak ortaya konulmuştur.

Anahtar kelimeler: Dört Anahtarlı Alçaltıcı-Yükseltici Çevirici, Yumuşak Mod Geçişli, DA/DA Çevirici, Dijital Kontrol, Kapı Sürme

Abstract

In this study, a digitally controlled four-switch buck-boost converter (4SBB) that has a wide input voltage range, high power density and efficiency is designed with smooth mode transition. Within this scope, the problems encountered during mode changes under varying input voltage have been investigated and thoroughly defined via the simulations performed in MATLAB/Simulink and the tests obtained from an

experimental converter. The instabilities at the control signal, the appearing of input voltage at the output without any regulation during the intervals called the dead-zone, the fluctuations and harmonics at the output voltage, the pulse skipping of switches can be listed as the major problems encountered during mode transitions. These problems negatively affect the efficiency of converters, regulation and controller stability. Therefore, in this study a new smooth transition method is proposed with many advantages over the state-of-the-art methods. The negative effects of these problems are all minimized with the proposed method. In addition to these achievements, an innovative solution is presented for the problem of inability to keep the top synchronous switch always ON with 100% duty, which is encountered in gate driver circuits using the bootstrap technology. The superiority of the developed technologies is demonstrated by comparing the results with the state-of-the-art methods.

Keywords: Four-Switch Buck-Boost Converter, Smooth Mode Transition, DC/DC Converter, Digital Control, Gate Drive

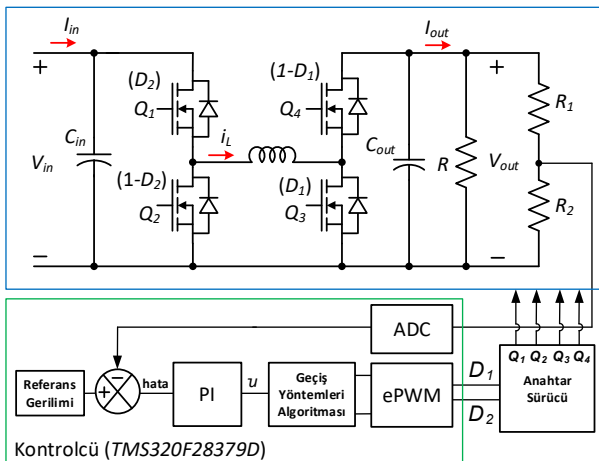
1. Giriş

Dört anahtarlı alçaltıcı-yükseltici çevirici geniş giriş gerilim aralığı, yüksek verimlilik ve güç yoğunluğu, düşük hacimde tasarlanabilme, pozitif çıkış polaritesi özelliklerinden dolayı çoğu uygulamada tercih edilen bir çevirici mimarisidir. Flyback ve Forward topoloji yapılarındaki gibi ekstra trafoya ihtiyaç duyulmaz ve yüksek güçlerde çalışabilir. Cuk topolojisine nazaran çıkış gerilimi pozitifdir. SEPIC'e göre ise çıkış akımı darbeleri olmadığı ve girişteki enerjiyi kapasitör üzerinden çıkışa aktarmadığı için malzeme akım limitlerinin yüksek olmasına gerek yoktur. Bunlara ek olarak Cuk ve SEPIC topolojilerinde ekstra bobin ve kapasitör kullanımına bağlı olarak ekstra hacim kaplama ve enerji dönüşümlerinde yüksek güç kayıpları mevcuttur. Şekil 1'de kontrolcü yapısıyla beraber dört anahtarlı alçaltıcı-yükseltici çeviricinin genel devre şeması verilmiştir. Dört anahtarlı yapıya nazaran literatürde yaygın olarak kullanılan tek ve iki anahtarlı alçaltıcı-yükseltici topolojileri de bulunmaktadır. Tek anahtarlı alçaltıcı-yükseltici topolojisi temel olarak tek anahtar, diyot ve bobinden oluşur ve basit bir yapıya sahiptir. En büyük dezavantajı çıkış geriliminin polaritesinin negatif olmasıdır. Bununla birlikte topoloji yapısı

gereği anahtar ve diyot üzerinde giriş ile çıkış gerilimlerinin toplam değeri görülmektedir. Bu da malzemeler üzerinde ekstra gerilim baskısına neden olur. İki anahtarlı alçaltıcı-yükseltici yapısı Şekil 1’de verilen topolojideki Q2 ve Q4 anahtarları yerine diyotlar kullanıldığında elde edilir. Anahtarlama durumları ve çalışma modları tamamen dört anahtarlı topoloji ile aynıdır. İki anahtarlı yapıdaki en büyük dezavantaj ise diyotlar üzerindeki iletim kayıplarının yüksek olmasından dolayı verimin düşük olmasıdır. Bu durum yüksek güçlü uygulamalarda daha da belirgindir. Diyotlar, iç dirençleri ($R_{DS(ON)}$) düşük olan senkron çalışan MOSFET’ler ile değiştirilerek bu dezavantaj çözülür. Bu çalışmada yüksek verim elde etmek amacı ile iki anahtarlı topoloji yerine dört anahtarlı alçaltıcı-yükseltici topolojisi tercih edilmiştir.

1.1. Çevirici Çalışma Modları

Dört anahtarlı alçaltıcı-yükseltici topolojisi giriş gerilimini istenilen seviyeye yükseltmek, düşürmek veya yakın seviyelerde tutmak için kullanılır. İki, üç veya daha fazla modda çalışabildiklerinden dolayı kullanım alanları oldukça geniştir. İki modlu çalışma yapısında alçaltıcı ve yükseltici modları bulunurken üç modlu çalışma yapısında ise bunlara ek olarak alçaltıcı-yükseltici modu da bulunmaktadır. İki modlu çalışma yapısında çevirici giriş gerilimini istenilen seviyelere düşürebilir veya yükseltebilir. Fakat giriş gerilimi çıkış gerilim seviyesine yakın olduğu durumda Bölüm 1.3’te detaylı olarak bahsedilen doluluk oranı kısıtlamalarından kaynaklı ölü bölge (dead-zone) adı verilen bir alan oluşur. Bu bölge içerisinde regülasyon yapılmadığı için çıkış gerilimi giriş gerilimini takip eder ve girişte oluşacak bir sorun direkt çıkışa yansır. Bu arzu edilmeyen bir problemdir. Bu problemi çözebilmek adına ölü bölgedeki alana alçaltıcı-yükseltici modu yerleştirilir. Bu durumda çevirici üç mod kontrollü yapıda çalışır. Mod geçişlerinde kararsızlıkları azaltmak ve kararlı regülasyon sağlayabilmek adına ölü bölge alanına eklenen alçaltıcı-yükseltici modu da kendi içerisinde iki ayrı bölge halinde incelenebilir. Bu yapıldığında ise çevirici dört mod kontrollü yapıda çalışmış olur.

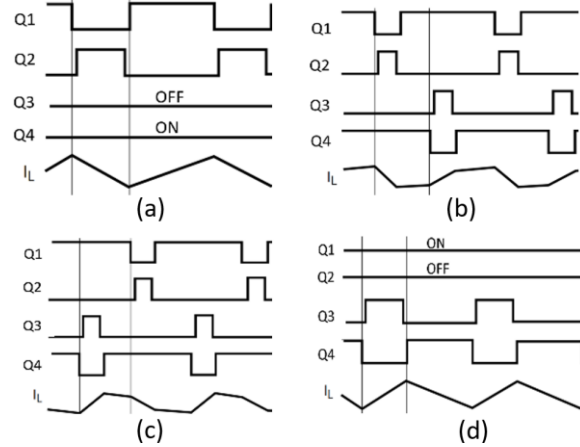


Şekil 1: Alçaltıcı-Yükseltici Çevirici Sistemi

[1]’e göre geleneksel üç mod kontrol yapılarıyla dört mod kontrol yapısı incelenmiş, dört mod kontrol yapısının bobin dalgalanma akımı (ripple), bobin ortalama akımı, bobin RMS akımının daha düşük olduğu, bunun sonucunda da çevirici verimliliğinin yüksek olduğu sonucuna ulaşılmıştır. Bu sebeple

bu çalışma kapsamında önermiş olduğumuz yöntemde dört anahtarlı alçaltıcı-yükseltici çeviricisi dört modda çalışacak şekilde doluluk oranları değerleri Bölüm 3’te verilen Şekil 4’teki gibi tasarlanmıştır. Ayrıca bu çalışma kapsamında üç mod ile dört mod yapılarının karşılaştırılması yapılmamıştır. Karşılaştırma yapılan diğer çalışmaların da dört mod kontrol yapısını kullandığı görülmüştür.

Şekil 1’e göre Q1 ve Q2 alçaltıcı modun anahtarları olarak isimlendirilirler ve bu modda Q1 ana anahtar ve Q2 senkron anahtar olarak çalıştırılır. Q3 ve Q4 yükseltici modun anahtarları olarak isimlendirilirler ve bu modda da Q3 ana anahtar ve Q4 senkron anahtar olarak çalıştırılır. Çalışmamızda kullandığımız dört modlu yapıdaki modlar ise; alçaltıcı ($V_{in} > V_{out}$), genişletilmiş alçaltıcı ($V_{in} \geq V_{out}$), genişletilmiş yükseltici ($V_{in} \leq V_{out}$) ve yükseltici ($V_{in} < V_{out}$) olarak isimlendirilmiştir. Bölüm 3’te doluluk oranları üzerinde bu modlar detaylı olarak numaralandırılmış ve hangi modda hangi doluluk oranının çalıştığı belirtilmiştir. Çeviricinin dört moddaki çalışma prensibi ve anahtarların durumları Şekil 2’de verilmiştir. Sırası ile Şekil 2(a)’da alçaltıcı mod, 2(b)’de genişletilmiş alçaltıcı, 2(c)’de genişletilmiş yükseltici ve 2(d)’de ise yükseltici mod anahtarlama ve indüktör akım grafikleri [2] gösterilmiştir. Anahtarlama karakteristiklerine göre indüktör akım dalgalanmasının değiştiği görülebilir. Ayrıca anahtar durumlarına göre bobin girişten beslenerek enerjilenir veya üzerindeki enerjisini yüke aktarır.



Şekil 2: Anahtarlama ve Bobin Akım Şekilleri [2]
a) Alçaltıcı b) Genişletilmiş alçaltıcı c) Genişletilmiş yükseltici d) Yükseltici mod

1.2. Kontrolcü Seçimi ve Kısıtlamaları

Değişken giriş gerilimlerine karşı çıkışı arzu edilen seviyede tutarak regülasyonu sağlayabilmek ve anahtarları modlara göre sürebilmek için kapalı çevrim kontrol yöntemlerine ihtiyaç vardır. Bu çalışma kapsamında analog kontrolcülere nazaran, kolay erişilebilirlik, maliyet, esneklik, kontrol edilebilirlik, koruma, gerçek zamanlı çalışabilme ve müdahale özelliklerinden dolayı dijital kontrolcü tasarımı tercih edilmiştir. Dijital kontrolcü tasarımı iki farklı yöntemle yapılabilir. İlkinde, önce analog tasarım yapılır ardından dijital dönüşümler uygulanır. İkincisi ise direkt dijital tasarımdır. İlkinde matematiksel dönüşümler fazlaca yapıldığı için zaman kaybı oluşturur ve bazı dinamiklerin gözden kaçırılmasına neden olabilir. Ayrıca tasarımda küçük bir değişiklik ihtiyacı olduğunda tüm kontrolcü tasarımındaki bu matematiksel

dönüşüm ve hesaplamaları tekrar yapmak gerekir. Bu nedenlerden dolayı bu çalışmada, MATLAB/Simulink kontrol araç kutusu kullanılarak direkt dijital tasarım yapılmıştır.

Kontrolcü tasarımındaki diğer önemli parametrelerden birisi de kontrolcü tipinin ne olacağıdır. Yaygın olarak literatürde akım ve gerilim mod geri besleme döngüsü kullanılmaktadır. Tek döngülü yapısı, gürültüden az etkilenmesi, mod geçiş uygulaması için kolay uygulanabilir olmasından dolayı bu çalışmada geri besleme döngüsü için çevirici sürekli akım modunda (CCM) çalışacak şekilde tasarlanarak gerilim mod kontrol tercih edilmiştir. Gerilim mod kontrolde, [3]'e göre yükseltici ve alçaltıcı-yükseltici modlarının küçük sinyal transfer fonksiyon karakteristiklerine bakıldığında paylarında sağ yarım düzlemde bulunan bir sıfırın varlığı dikkat çeker. Sağ yarım düzlemde bulunan sıfırın bode diyagramlarındaki kazanç payı sol yarım düzlemdekiyle aynıdır. Fakat faz payı sisteme +90° yerine -90° olarak eklenmektedir. Negatif olarak eklenen bu faz payı değerinden dolayı sistemi kontrol etmek ve kararlı hale sokmak oldukça güçtür. Bu sıfırın varlığından dolayı genel sistem "Minimum Faza Sahip Olmayan Sistem" olarak da adlandırılır [4]. Topoloji üzerindeki etkisi ise yükseltici çevirici modeli düşünülerek anlatılabilir. Yükseltici topolojide ortalama çıkış akımının Denklem (1)'de verildiği gibi ortalama bobin akımı ve doluluk oranı değerine bağlı olarak değiştiği görülmektedir. Burada I_L , ortalama bobin akımının değerini; D parametresi ise kararlı hal durumundaki doluluk oranını belirtmektedir.

$$I_{OUT} = I_D = I_L(1 - D) \quad (1)$$

$$D = \frac{V_o - V_{in}}{V_o} \quad (2)$$

Denklem (2) ise doluluk oranının ortalama çıkış ve giriş gerilimi ile olan ilişkisini vermektedir. Yükseltici mod çalışmada giriş gerilim değeri herhangi bir nedenden dolayı azalır, Denklem (2)'ye göre doluluk oranı (D) artacaktır. Artan bu doluluk oranı Denklem (1)'deki $(1 - D)$ ifadesinin değerini azaltır. Çıkış akımının ve böylece çıkış gücünün sabit kalabilmesi için I_L değerinin de aynı oranda artması gerekir. Buradaki temel problem bobin akımının artış hızının belirli bir limitle sınırlandırılmış olmasıdır. Eğer bobin akım değerinin değişimi ($\frac{dI_L}{dt}$), doluluk oranı değişimi hızından ($\frac{dD}{dt}$) daha az olursa, çıkış akımı (I_{OUT}) azalacaktır. Bu durum bobin akımının değişim oranı, doluluk oranının değişim oranını yakalayana kadar devam edecektir. Çıkış akım değerinin düşmesinden dolayı, çıkış gerilim değerinin de anlık olarak düştüğünü sezen kontrolcü, doluluk oranını hızlı bir şekilde artıracak yönde tepki verecektir ki bu tersi bir durumdur [5]. Bu durum çıkış gerilim toparlanma süresini olumsuz yönde etkilemektedir. Bu problemin çözümü için doluluk oranı değişim hızı veya kontrol bant genişliği (f_c) sınırlandırılmalıdır. Bant genişliğini kısıtlamak sağ yarım düzlem sıfırının etkisini düşürürken, kontrolcünün sisteme olan etkilere hızlı cevap verme özelliğini de azaltır. Bu sebeple bant genişliği seçilirken hem anahtarlama gürültülerinden hem de sağ yarım düzlem sıfırından daha az etkilenmek adına Denklem 3 ve 4'teki eşitsizlikler dikkate alınmalı, kararlılık marjı ve faz payı arasında istenilen kriterlere uygun bir seçim yapılmalıdır. Bant genişliği değeri bu kısıtlamalar altında olabildiğince yüksek seçilmelidir [4-7]. Denklem (3)'te f_s anahtarlama frekansını gösterir. Bu denklemlerin verilmesindeki temel amaç bant genişliği frekansını hem anahtarlama (f_s) hem de sağ yarım düzlem sıfır

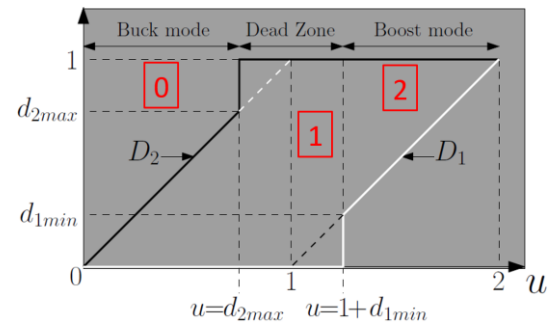
frekansından (f_{SYDS}) uzaklaştırarak, olumsuz etkilerinin sisteme daha az yansımaları sağlamaktır. Diğer bir çözüm yolu da topolojiyi süresiz akım modunda (DCM) çalıştırarak bu sıfırın etkilerini modun yapısı gereği minimize etmektir. Fakat bu modda, bobin akım dalgalanması ve RMS değerleri arttığı için tercih edilmemiştir.

$$f_c < \frac{f_s}{10} \quad (3)$$

$$f_c < \frac{f_{SYDS}}{10} \quad (4)$$

1.3. Problemin Tanıtımı

Dört Anahtarlı Alçaltıcı-Yükseltici çeviricilerin genel tasarımı literatürde sıklıkla yer alan olgunlaşmış bir konudur. Ancak bu çeviricilerin tasarımında dikkat edilmesi gereken ve çoğu kez göz ardı edilen önemli nokta modlar arası geçişin düzgün bir şekilde uygulanabilmesidir. Alçaltıcı mod ile yükseltici modun transfer fonksiyon karakteristikleri birbirinden farklıdır [3]. Ayrıca PWM'lerin doğrusal olmayan karakteristiklerinden, anahtarlama gürültülerinden, anahtarların iletme ve kesime girme arasındaki zaman farklarından (dead time), kontrol döngüsünde ve anahtar sürücü yapılarında oluşan zaman gecikmelerinden, PCB hatalarından kaynaklı ideal alçaltıcı mod doluluk oranı değeri (D_2) %100, ideal yükseltici mod doluluk oranı değeri (D_1) %0 olamayacaktır [3], [8-10]. Özetle doluluk oranı değerleri sayılan sebeplerden ötürü kısıtlanır. Hem transfer fonksiyonlarındaki farklılık hem de doluluk oranı kısıtlamalarından dolayı mod geçişlerinde kararsızlık noktaları oluşur. Oluşan bu kararsızlık noktalarındaki doluluk oranı sıçramaları neticesinde ölü bölge (dead-zone) adı verilen regülasyonun ve kontrolün sağlanmadığı bir alan oluşur. Şekil 3'te 0 alçaltıcı modu, 1 ölü bölgeyi, 2'de yükseltici modu göstermektedir. Ölü bölge içerisinde $D_2 = 1$ ve $D_1 = 0$ olduğu yani giriş geriliminin regülasyon olmadan çıkışa aktarıldığı söylenebilir.



Şekil 3: Ölü bölgede doluluk oranı karakteristiği [9]

Regülasyonun bu alanda kontrol edilememesi sistemde istenmeyen bir durum olduğunda kararsızlığa ve regülasyon bozukluğuna neden olur. Ayrıca doluluk oranı kısıtlamalarından dolayı ortaya çıkan ani sıçramalar çıkış geriliminde dalgalanma ve kararsızlıklar oluştururken anahtarlarda da darbe atlamalara neden olur [8-10]. Şekil 1'deki mevcut güç modeline göre Şekil 2'de belirtilen ölü bölge analizi uygulama üzerinde test edilememektedir. Bu analizin yapılamamasının temel nedeni 1 numaralı bölgedeki karakteristikten dolayı giriş gerilimini direkt çıkışa aktaran ekstra bir anahtara (bypass) ihtiyaç duyulmasıdır. Bu sebeple bu çalışma kapsamında ölü bölge analizi için Benzetim ve

Uygulama bölümünde sadece MATLAB/Simulink'te elde edilen simülasyon sonuçları verilmiştir.

1.4. Literatür Özeti

Literatürde modlar arası yumuşak geçişle ilgili ve ölü bölge diye tabir edilen bölgenin sisteme negatif etkilerini gösteren ve çözüm önerileri sunan oldukça fazla araştırma ve yayın bulunmaktadır. Bunlardan en yaygın olanları alçaltıcı ve yükseltici modların birleştirildiği yöntemlerdir [11-16]. Bu yöntemler topoloji transfer fonksiyonlarındaki kararsızlık noktalarını azaltır. Ana dezavantajları ise çıkış gerilim dalgalanmalarına ve alt harmoniklere olan azaltıcı etkileri düşüktür ve çoğu dijital kontrol uygulamaları için uygun değildir. [10], [17]'de alçaltıcı ve yükseltici modların, alçaltıcı modun alabileceği maksimum doluluk kırpılarak birleştirilmesinden bahsedilmiştir. Bu yöntemin dezavantajı ise alçaltıcı-yükseltici modda çıkış gerilim dalgalanmasının azalmasına rağmen, yükseltici moda göre verimliliğin düşmesidir. Dijital kontrolcüler için uygulanabilir ve literatürde önerilen yöntemlere nazaran geçişler için daha yenilikçi yöntemler sunan çalışmalar ise [8-9], [18-19]'da verilmiştir. [18]'e göre mod geçişlerinde alçaltıcı ve yükseltici mod doluluk oranları $D_2 = D_1 = 0,5$ olarak seçilmiştir. Bobin üzerindeki enerjiyi Q1 ve Q3 anahtar kesimde olduğunda yüke aktarır. Bu durumda çıkış akımının ortalama değeri Denklem (1)'deki gibi olacaktır. D 'ye 0,5 yazıldığında, $I_L = 2 I_O$ bulunur. Bobin ortalama akım değeri arttığı için, bobin iletim kayıpları artar. Bu nedenle [18]'in önermiş olduğu yöntem için mod geçişlerinde verimlilik düşük olur.

[8] ve [20]'de mod değişim algoritmalarının birbiriyle aynı olduğu görülmektedir. Buradaki temel amaç doluluk oranı kısıtlamalarından dolayı ortaya çıkan doluluk oranı sıçramalarını kompanze edecek şekilde aksiyon alınmış olmasıdır. Örneğin D_1 doluluk oranı ani artarken, D_2 doluluk oranı buna tepki vererek belirli ölçüde azaltılmış ve bu artışın etkisi dengelenmeye çalışılmıştır. Buradaki en büyük dezavantaj geçişlerde histerezis yapılarının bulunmayışıdır. Bu sebeple kontrolcü kararsız kaldığında sürekli olarak modunu değiştirebilir. [9] ise ölü bölgeden kurtulabilmek için birden fazla yöntem önermiştir. Çalışma kapsamında önermiş olduğu ana yöntem histerezisli yapıya sahip olmalıdır. Temelinde mod geçiş noktalarında histerezis yapısını kullanarak doluluk oranı sıçramalarında oluşabilecek kontrolcü kararsızlıklarında çeviricinin sürekli olarak mod değiştirmesini engellemek istemiştir.

Bu çalışma kapsamında literatürde iyi bilinen (state-of-the-art) iki yöntem [8], [9] incelenmiş ve bu yöntemlere göre daha üstün özellikleri ve avantajları olan yeni bir yöntem önerilmiştir. Önerilen yöntem, literatürde iyi bilinen bu iki yöntemle karşılaştırılmış ve performansının daha iyi olduğu hem simülasyon ile hem de deneysel olarak gösterilmiştir.

2. Kontrolcü Tasarımı

Bu çalışmanın amacı 4AAY'de geçişler esnasında ortaya çıkan problemleri çözmek olduğu için topolojinin tasarım detayları ayrıntılı olarak verilmemiştir. Daha çok kontrolcü tasarımı ve kontrol algoritması geliştirilmesi üzerine yoğunlaşmıştır. Askeri projelerde, çevirici girişlerinde akü, güneş panelleri, bataryalar gibi değişken giriş gerilimlere sahip besleme kaynakları kullanılması ve çıkışta sabit gerilim istenirinin bulunmasından dolayı giriş gerilim aralığı 10-42 V, çıkış gerilimi ise sabit 28 V olarak seçilmiştir. Tablo 1'de kullanılan tasarım parametreleri gösterilmektedir.

Tablo 1: Tasarım Parametreleri

Sembol	Tanım	Değer
L	Bobin	10 μ H
C_{out}	Çıkış Kapasitansı	440 μ F x 3
C_{in}	Giriş Kapasitansı	8x2,2 μ F /1x100 nF
V_{p-p}	Gerilim Dalgalanması	%1<
R	Yük	11.2 Ω
V_{in} / V_o	Giriş / Çıkış Gerilimi	10-42 V / 28 V
f_s	Anahtarlama frekansı	250 kHz

Şekil 1'de görüldüğü gibi ADC ile okunan çıkış gerilim değeri geri besleme döngüsü aracılığıyla arzu edilen değer ile kıyaslanır. Oluşan fark hata sinyali olarak adlandırılır. Ortaya çıkan hata sinyali 'PI' denetleyici vasıtasıyla düzeltilmektedir. 'P' katsayısının değerinin artırılması hatayı azaltırken, kararlılığı olumsuz yönde etkileyecek ve çıkış gerilim dalgalanma tepe değerinde istenmeyen bir artışa ve aşmaya (overshoot) neden olabilir. 'I' katsayısı ise hatayı ortadan kaldırırken, aşma gerilimini (overshoot) ve oturma zamanını artırır. Bu çalışmada 'D' yani türev katsayısı denetleyicide tercih edilmemiştir. Çünkü türev bileşeni, geri besleme döngüsünde meydana gelen gürültülerden fazlaca etkilenmektedir. Sinyal gürültülü veya kontrol döngü hızı yavaşsa türev bileşeni sistemi kararsız duruma sokabilir. Kullanılan PI kontrolcü yapısı Denklem (5)'te verilmiştir. Burada örnekleme oranı 250 kHz ve örnekleme süresi (T_s) 4×10^{-6} saniyedir. Örnekleme frekansı ile anahtarlama frekansı aynı seçilmiştir.

$$PI = P + I \cdot T_s \cdot \frac{z}{z-1} \quad (5)$$

$$f_{SYDS} = \left(\frac{V_{in}}{V_o}\right)^2 \cdot \left(\frac{R}{2\pi L}\right) \quad (6)$$

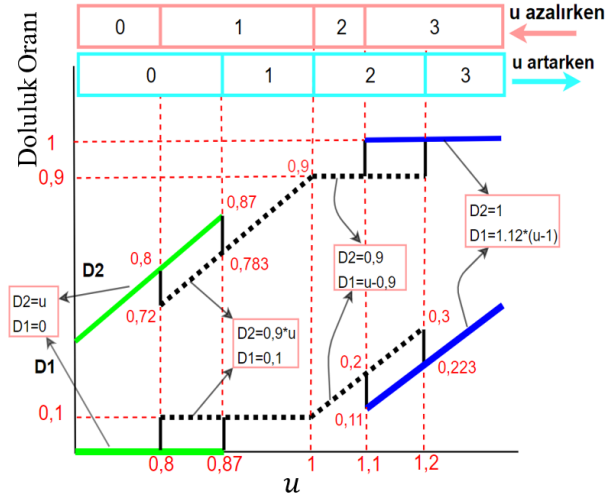
Denklem (4)'te gösterilen bant genişliği frekansıyla ilişkisi gösterilen sağ yarım düzlem sıfır frekansının (f_{SYDS}) formülü Denklem (6)'da verilmiştir. Sağ yarım düzlem sıfır frekansı, bant genişliği değerine yaklaştıkça bu sıfırın kontrol sistemine olan olumsuz etkileri artar. Bu sebeple sıfır frekansının alabileceği en düşük değer (worst-case-scenario) giriş gerilim değerinin minimum, çekilen akımın maksimum olduğu durumda oluşur. Tablo-1'de verilen değerler kullanılarak $f_{SYDS} = 22,736$ kHz olarak bulunmuştur.

P ve I katsayılarının bulunma işlemi MATLAB/Simulink 'PID Tuner' uygulaması ve 'Kontrol Araç Kutusu' kullanılarak gerçekleştirilmiştir. Denklem (3) ve (4)'teki ifadelerin sağlanabilmesi için program üzerinde bant genişliği frekansı $f_c = 634$ Hz, kararlı bir kapalı döngü sisteminin sağlanabilmesi için faz payı 63° olarak seçilmiştir. Bu bilgiler çerçevesinde 'PID Tuner' ile P katsayısı 0,01203 ve I katsayısı ise 29,33 olarak bulunmuş ve tasarımda kullanılmıştır.

3. Önerilen Yumuşak Geçiş Yöntemi

Şekil 1'e göre PI bloğu çıkışında oluşan sinyal kontrolcü sinyali (u) olarak adlandırılır. Bu sinyal geçiş yöntemleri algoritması bloğuna girer. Algoritma bloğu içerisinde doluluk oranları D_2 ve D_1 değerleri önerilen karakteristik yöntemlere göre ayarlanarak EPWM aracılığıyla anahtarların sürülmesi sağlanır. D_2 doluluk oranı alçaltıcı kısmın anahtarlarını (Q1,

Q2), D_1 doluluk oranı ise yükseltici kısmın anahtarlarını (Q3, Q4) kontrol eder. Şekil 4'te mod geçişleri için bu çalışma kapsamında önerilen doluluk oranı karakteristikleri verilmiştir.



Şekil 4: Önerilen yöntem için doluluk oranı karakteristiği

Kontrolcü sinyalinin (u) artmasına ve azalmasına bağlı olarak mod geçişleri sağlanmaktadır. Her iki yönlü hareket içinde 0 alçaltıcı modu, 1 genişletilmiş alçaltıcı modu, 2 genişletilmiş yükseltici modu ve 3 yükseltici modu göstermektedir. D_1 ve D_2 doluluk oranlarının alabileceği değer aralığı $0 \leq D_1, D_2 \leq 1$ olur. Kontrolcü sinyali bu durumda $0 < u < 2$ ile ifade edilebilir. Alçaltıcı modun kontrol aralığı $0 < u < 1$ olurken, yükseltici modun kontrol aralığı $1 < u < 2$ yazılabilir. Alçaltıcı mod için $D_1 = 0$, $D_2 = u$, yükseltici mod için $D_1 = u - 1$, $D_2 = 1$ olarak u cinsinden yazılabilir. Alçaltıcı-yükseltici moddaki giriş-çıkış transfer fonksiyonu ve kazanç ifadesi Denklem (7)'de verilmiştir. Burada $D_{2,max}$, alçaltıcı modun alabileceği maksimum değeri, $D_{1,min}$ yükseltici modun alabileceği minimum değeri ifade eder. Şekil 2 üzerinde bulunan karakteristik denklemlerin çıkarılması genişletilmiş alçaltıcı mod için Denklem (8), genişletilmiş yükseltici mod için ise Denklem (9) kullanılarak elde edilmiştir. D_2' ve D_1' ilgili bölgelerde bulunacak olan doluluk oranı değişkenlerini gösterir. $D_{1,anlıkdeğer}$ ise D_1 doluluk oranı ifadesinin hesaplanan andaki değerini gösterir.

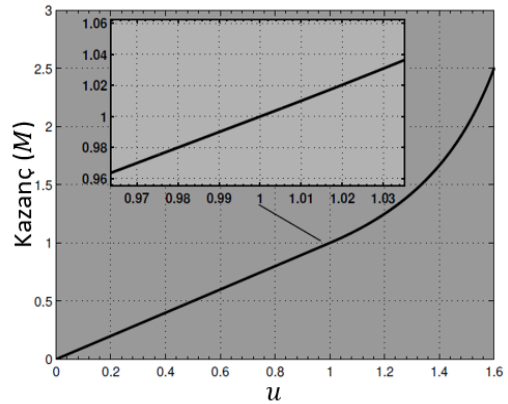
$$M = \frac{V_o}{V_i} = \frac{D_2}{D_1} = \frac{D_{2,max}}{1-D_{1,min}} \quad (7)$$

$$\frac{V_o}{V_i} = \frac{D_2'}{1-D_{1,min}} \quad (8)$$

$$\frac{V_o}{V_i} = \frac{D_{2maks}}{1-D_{1,anlıkdeğer}} = \frac{1}{1-D_1'} \quad (9)$$

Doluluk oranı kısıtlamalarından dolayı mod geçişlerinde doluluk oranlarında ani sıçramalar ortaya çıkar. Oluşan bu sıçramalar beraberinde çıkış geriliminde hem AA hem DA incelemedeki dalgalanma ve harmonik bileşenlere, anahtarların düzgün işlevini yerine getirememesine, darbe atmalara, regülasyon bozukluklarına ve ölü bölgenin (dead-zone)

oluşmasına sebebiyet verir. Önerilen yöntemdeki temel amaç doluluk oranlarında oluşan bu ani sıçramaların topolojiye olan negatif etkilerini minimize etmek veya ortadan kaldırmaktır. Bunu başarabilmek için ise sıçramanın yaşandığı doluluk oranı değeri diğer doluluk oranı değeri ile kompanse edilerek sıçramanın topolojiye olan etkisinin azaltılması amaçlanmıştır. Bunun yanında mod geçişlerinde oluşabilecek kontrolcü sinyali (u) kararsızlıklarından dolayı çeviricinin sürekli olarak mod değiştirmesini engellemek ve bu mod geçişlerinde oluşabilecek gerilim dalgalanmalarını ortadan kaldırmak için histerezis yapıları kullanılmıştır. Mod geçişlerinde beklenen ideal kazanç- u grafiğinin Şekil 5'teki gibi olması beklenir. Şekle göre ideal durumda doluluk oranı sıçramaları bulunmadığı için kazanç çizgisinin parabolik olduğu ve herhangi bir sıçrama yapmadığı görülebilir. Önerilen yöntem ile kazanç- u grafiğinin ideal duruma benzer olması hedeflenmiştir.



Şekil 5: İdeal kazanç-kontrolcü (u) grafiği [9]

Literatürde iyi bilinen [8] ve [9]'da önerilen yöntemlere göre bu çalışma kapsamında önermiş olduğumuz yöntemin fazlaca avantajı bulunmaktadır. [8]'deki en büyük eksiklik mod geçişlerinde histerezis yapılarının bulunmamasıdır. Bu durumda kontrolcü sinyali (u) kararsızlıklarında çevirici sürekli olarak modunu değiştirerek çıkış geriliminde dalgalanma (ripple) oluşmasına neden olacaktır. [9]'daki en büyük eksiklik ise doluluk oranlarının birbirini kompanse edecek şekilde ayarlanmamış olmasıdır. Doluluk oranları sıçramaların etkilerini minimize edecek şekilde ayarlanmadığı için bu sıçramaların olumsuz etkileri çıkış geriliminde anlık aşım (overshoot) ve gerilim dalgaları (ripple) oluşmasına ve anahtarlamalarda darbe atmalara neden olur.

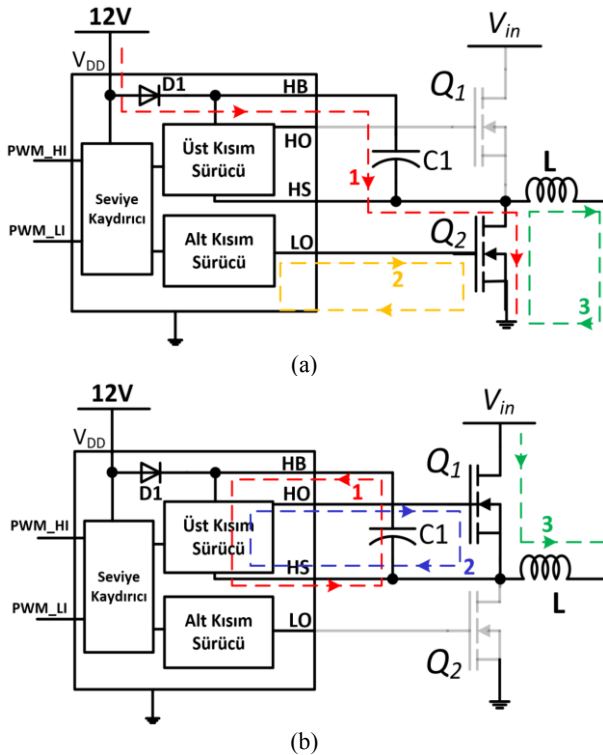
Önermiş olduğumuz yöntemde doluluk oranı kompozasyonu ve histerezis yapıları birlikte kullanılarak ortaya çıkan problemlere çözüm getirilmiştir. Ayrıca mod geçişlerinde oluşan çıkıştaki gerilim dalgalanmasının ve kontrolcü sinyalindeki kararsızlık noktalarının sayısının azaltılması hedeflenmiştir. Önermiş olduğumuz yöntemin eksik yanı ise $u = 1$ noktasında histerezis yapısı bulunmadığı için çevirici bu alanda sürekli olarak modunu değiştirerek AA incelemede çıkışta gerilim dalgalanması oluşturur. Bu sorunun çözümü için ilgili noktanın bulunduğu alana histerezis yapısı yerleştirilebilir. Bu çalışma kapsamında bu problemin çözümü incelenmiştir.

Şekil 1'de gösterilen anahtarların düzgün bir şekilde iletme ve kesime girebilmesi için yüksek akım kapasiteli anahtar sürücü entegrelerine gereksinim duyulmaktadır.

Fakat hem alçaltıcı hem de yükseltici modlarda anahtarlama görevi üstlenmeyen anahtarlardan üst kısımda bulunan anahtarın tamamen iletimde (%100), alt kısımda bulunan anahtarın ise kesimde (%) olması gerekmektedir. Anahtar sürücü entegrelerinde bulunan bootstrap kapasitörünün üst kısımdaki anahtarı iletime sokabilmesi için belirli aralıklarla şarj edilmesi gerekmektedir. Bu nedenle üst kısımda bulunan anahtar hiçbir zaman %100 iletime geçirilemez. Bu sorunun çözümü için de yeni bir tasarım önerilmiştir.

4. Bootstrap Tabanlı Anahtar Sürücü Entegrelerinde Üst Anahtarın %100 Dolulukla Açılama Problemi ve Problemin Çözümü

Yüksek güç gerektiren uygulamalarda güç anahtarları düşük çıkış akım kapasitesine sahip olan entegreler veya mikroişlemciler tarafından sürülemez. Çünkü kapı (gate) bacağındaki kapasitenin, anahtarı iletime sokabilmek için yeterince hızlı bir şekilde şarj edilmesi gerekmektedir. Çıkışlarındaki yetersiz akım kapasitelerinden dolayı kapasitenin şarj edilme süresi anahtarlama süresinden daha uzun sürerse, anahtarlar düzgün çalışmaz. Bu problemi çözebilmek için yüksek akım kapasitesine sahip anahtar sürücü entegreleri kullanılır. Şekil 6'da tipik anahtar sürücü entegresinin yapısı verilmiştir.



Şekil 6: Anahtar sürücü entegresi (a) C_1 şarj durumu
(b) C_1 deşarj durumu

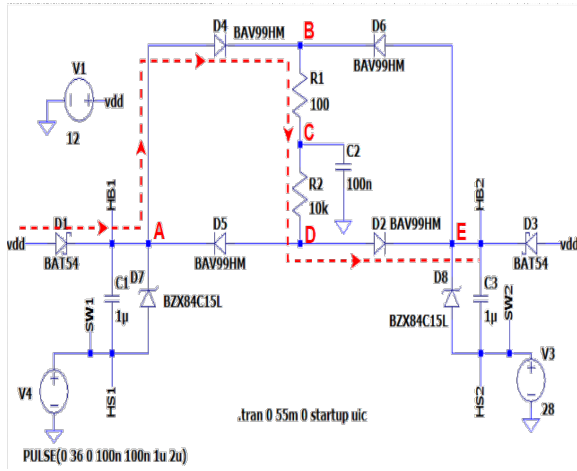
Şekil 6'da verilmiş olan anahtar sürücü entegresinde C_1 kapasitörü bootstrap kapasitör olarak adlandırılır. Ayrıca PWM_HI ve PWM_LI sinyalleri mikroişlemciden gelen giriş sinyalleridir. Temel olarak çalışma prensibi C_1 kapasitörünün şarj ve deşarj durumuna göre iki adımda incelenebilir. Şekil 6 (a)'da 2 numaralı döngüde alt anahtar sürücü bloğu Q2 anahtarını iletime sokar. 1 numaralı döngüde sürücü besleme

gerilimi (12V) C_1 kapasitörünü Q2 anahtarı üzerinden geçerek şarj eder. 3 numaralı döngüde ise bobin enerjisini çıkış tarafına aktarır. Şekil 6(b)'de ise Q1 anahtarı, C_1 kapasitörü üzerindeki depolanmış enerjiyle iletime geçer. 1 numaralı döngü bunu göstermektedir. 2 numaralı döngü ise üst anahtar sürücü yapısının C_1 kapasitörü vasıtasıyla anahtarı nasıl iletime soktuğunu gösteren döngüdür. 3 numaralı döngü ise Q1 anahtarı iletimdeyken besleme geriliminin bobin üzerinden geçerek yüke iletildiğini göstermektedir.

Çalışma prensibine göre C_1 kapasitörünün enerjilenip üstteki anahtarı açabilmesi için sürekli olarak şarj ve deşarj edilmesi gerekmektedir. Bu nedenle bootstrap tabanlı anahtar sürücü yapılarında üstte bulunan anahtarın tamamen (%100) iletime geçemeyeceği söylenebilir. Eğer C_1 kapasitörü, Q2 anahtarı iletimdeyken yeterince şarj edilemezse, Q1 anahtarını açacak gerilimi üzerinde depolayamayacaktır. Bu durum senkron anahtar yapılarında sıklıkla gözlemlenir. Literatürde [12], [20-21]'de verilen ve bu problemin çözümü için yaygın olarak kullanılan yöntem ise; Q1 ve Q2 anahtarlarının belirli zaman aralıklarında iletime ve kesime geçirilerek C_1 kapasitörünün şarj edilmesini sağlamaktır. Fakat bu çözümün dezavantajları bulunmaktadır. Doluluk oranı değeri, C_1 kapasitörünü şarj etmek için yeterli seçilmezse kapasitör yeterince şarj olamayacağı için Q1 anahtarı iletime geçemez. Doluluk oranı değeri fazla seçilirse de anahtarların iletim ve kesimde kalma süreleri artacağı için çevirici alçaltıcı veya yükseltici modda çalışmak yerine alçaltıcı-yükseltici modunda çalışmış olur. Bu durumda dört anahtar da çalışacağı için verimlilik düşer. Ayrıca bu anahtarlama yapmak kontrol yazılımına ek külfet getirir. Bu gibi problemleri çözebilmek için LTSpice ortamında kullanılan bootstrap yapıları anahtar sürücü yapısı için Şekil 7'deki devre kurulmuştur. Tasarımımızda 'UCC27211DDA' tip numaralı anahtar sürücü entegresi [22] 1 μ F bootstrap kapasitörü seçilerek kullanılmıştır. Kapasitör seçim detayları ayrıntılı olarak verilmemiştir. Ayrıca uygulama aşamasında çevirici anahtarları (Q1, Q2, Q3, Q4) olarak da düşük iç direnç ve kapı kapasitansına, hızlı iletime ve kesime girme süresine sahip, seçilen anahtar sürücü entegresiyle ve yüksek frekans anahtarlama için uygun 'CSD18563Q5A' tip numaralı N kanal MOSFET seçilmiştir.

Şekil 7'ye göre C_1 , alçaltıcı kısımdaki anahtar sürücü bootstrap kapasitörünü gösterirken, C_3 ise yükseltici kısımdakini gösterir. C_1 ve C_3 her iki kısım için Şekil 6'da anlatılan C_1 kapasitörünün görevini üstlenmektedir.

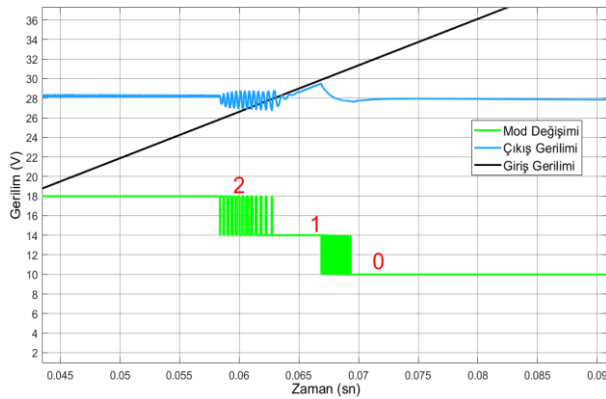
Kurulan devre yapısı A ile E noktaları arasındadır. A noktası alçaltıcı kısımdaki bootstrap kapasitörünün bağlantı noktasını (HB1) gösterirken, E noktası ise yükseltici kısımdakini (HB2) gösterir. Verilen şekilde çeviricinin alçaltıcı modda çalıştığı varsayılmıştır. Kurulan devre yapısındaki temel amaç çevirici alçaltıcı modda çalıştığı zaman yükseltici kısım üst anahtarını (Q4) tamamen (%100) iletimde, alt anahtarını (Q3) ise kesimde tutabilmektir. Bunu başarabilmek için ise alçaltıcı modda çalışan çeviricideki iki senkron anahtarın birleşim noktasında (SW1) oluşan 0 ile giriş gerilim değeri arasında değişebilen gerilim kullanılmıştır. Bu değişken gerilim değerinin A, B, C, D, E yolları vasıtasıyla filtrelenip, süzülerek yükseltici kısmındaki bootstrap kapasitörü üzerinde sabit bir gerilim değeri elde edilmesi hedeflenmiştir. Bu sayede C_3 kapasitörü sürekli şarjda tutulacağı için alt kısımda bulunan anahtarın belirli periyot aralıklarında iletime girip kapasitörün şarj edilmesine ihtiyaç duyulmaz. Tasarlanan devre simetrik yapıda olduğu için aynı durum çevirici yükseltici modda çalıştığında alçaltıcı kısım anahtarları için de geçerli olacaktır. Bu sebeple yükseltici mod için analiz yapılmamıştır.



Şekil 7: Anahtar sürücü problemleri için kurulan devre

5. Benzetim ve Uygulama

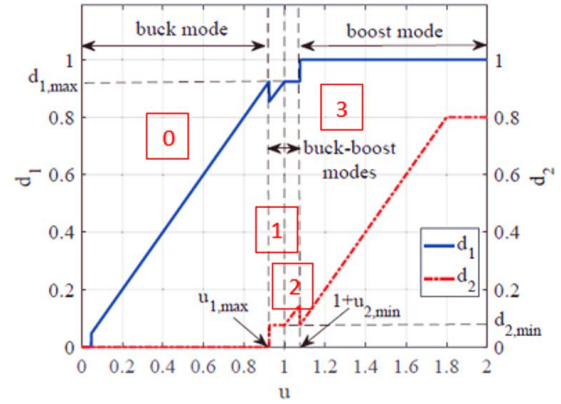
Yumuşak geçiş uygulamalarına geçmeden önce Şekil 3'te verilen ölü bölge doluluk oranı karakteristiği MATLAB/Simulink kullanılarak simülasyon ortamında test edilmiş ve mod değişimleri esnasında çıkış geriliminin davranışı Şekil 8'deki gibi elde edilmiştir. Şekle göre doluluk oranlarındaki ani sıçramalardan kaynaklı çeviricinin mod geçişlerinde kararsız kalarak çıkış geriliminde dalgalanmalar oluşturduğu görülebilir. Ayrıca ölü bölgede (1) çıkış geriliminin giriş gerilimini takip ettiği gözlemlenmiştir.



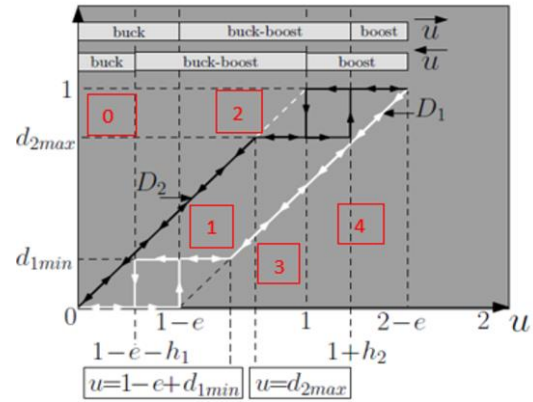
Şekil 8: Ölü bölge analizi simülasyon sonuçları

Yumuşak geçiş yöntemleri için ise Texas Instrument firmasına ait TMS320F28379D işlemcisiyle birlikte MATLAB/Simulink Embedded Coder ara yüzü kullanılarak bu çalışma kapsamında önerilen yöntemle beraber literatürde iyi bilinen (state-of-the-art) yöntemler [8], [9] gerçek zamanlı (external mode) olarak test edilmiş ve karşılaştırılmıştır. Sonuçlar osiloskop ve Simulink üzerinden alınmıştır. Bu çalışma kapsamında [8]'de verilen yöntem Yöntem 1 olarak, [9]'da verilen yöntem ise Yöntem 2 olarak isimlendirilmiştir. Mod geçişlerinin daha kolay anlaşılabilmesi için Yöntem 1 [8] ve Yöntem 2'de [9] verilen doluluk oranı karakteristikleri sırasıyla Şekil 9 ve Şekil 10'da görüldüğü gibi bölgelere ayrılarak numaralandırılmıştır. Bu çalışma kapsamında Şekil 4'te önermiş olduğumuz yönteme ve Şekil 10'daki Yöntem 2'ye göre D_2 alçaltıcı modun, D_1 ise yükseltici modun doluluk

oranını göstermektedir. Yöntem 1'de verilen karakteristikte ise bu durum tam tersidir. Yöntem 1'deki benzetim sonuçlarının diğer yöntemlerle daha rahat karşılaştırılabilmesi için D_2 doluluk oranı alçaltıcı modu, D_1 doluluk oranı ise yükseltici modu gösterecek şekilde kabul edilmiş ve sonuçlar alınmıştır. İncelenen tüm yöntemler için doluluk oranı kısıtlamaları nedeniyle $D_{2_maks} = 0,9$, $D_{1_min} = 0,1$ olacak şekilde seçilmiştir.



Şekil 9: Yöntem 1 doluluk oranı karakteristiği [8]



Şekil 10: Yöntem 2 doluluk oranı karakteristiği [9]

Yöntem 1 [8] için kullanılan numaralandırmaların liste gösterimi;

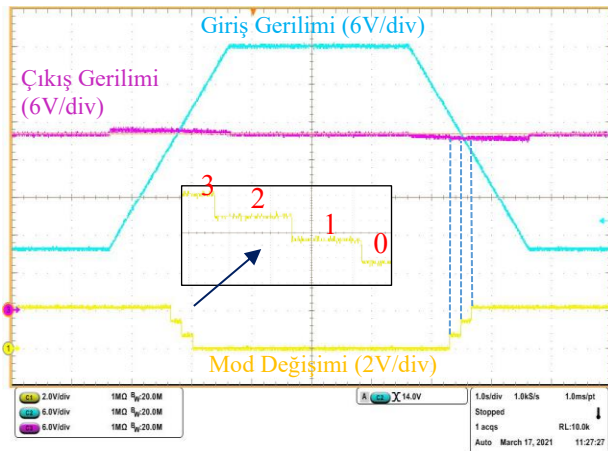
$$M(u) = \begin{cases} 0 < u < u_{1max}, & 0 \text{ (alçaltıcı)} \\ u_{1max} \leq u < 1, & 1 \text{ (genişletilmiş alçaltıcı)} \\ 1 \leq u < 1 + u_{2min}, & 2 \text{ (genişletilmiş yükseltici)} \\ 1 + u_{2min} \leq u < 2, & 3 \text{ (yükseltici)} \end{cases}$$

Yöntem 2 [9] için kullanılan numaralandırmaların liste gösterimi (u artarken);

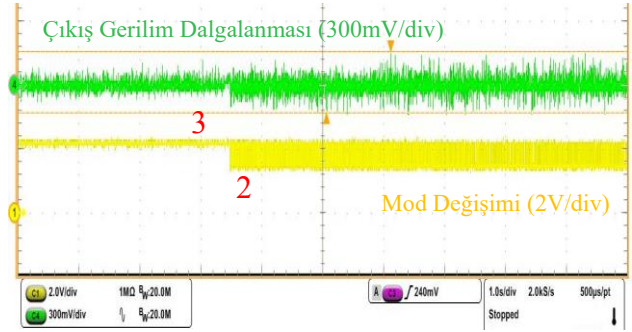
$$M(u) = \begin{cases} 0 < u < 1 - e, & 0 \text{ (alçaltıcı)} \\ 1 - e \leq u < 1 - e + d_{1min}, & 1 \text{ (alçaltıcı - yükseltici)} \\ 1 - e + d_{1min} \leq u < d_{2max}, & 2 \text{ (alçaltıcı - yükseltici)} \\ d_{2max} \leq u < 1 + h_2, & 3 \text{ (alçaltıcı - yükseltici)} \\ 1 + h_2 \leq u < 2 - e, & 4 \text{ (yükseltici)} \end{cases}$$

Mod değişimlerini gözlemleyebilmek için giriş gerilimi programlanabilir güç kaynağı kullanılarak 10 V'dan 42 V'a 2 saniyede artırılmış, 3 saniye boyunca 42 V'ta sabit tutulmuş ve sonrasında 2 saniye boyunca 42 V'dan 10 V'a kadar azaltılmıştır. Osiloskop üzerinde gerçek zamanlı mod geçişlerinin incelenmesi için ise yazılımda mod değişimi isimli bir değişken tanımlanmıştır. Bu değişken işlemcide bulunan DAC bloğu vasıtasıyla dijitalden analog'a çevrilir. Bu analog sinyalin osiloskop üzerinde gerilim karşılığı görüntülenir ve mod geçişleri kolayca izlenebilir.

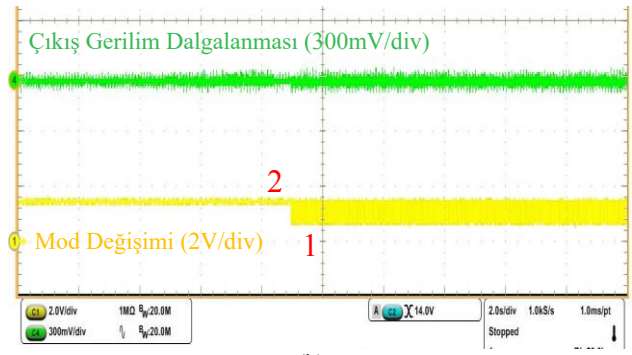
Şekil 11'de Yöntem 1 uygulaması için mod geçişleri esnasında çıkış ve giriş gerilim dalga şekilleri verilmiştir. Şekil 9'da verilen Yöntem 1'in doluluk oranı karakteristiğine göre doluluk oranları birbirlerinin etkilerini kompanse edecek şekilde ayarlandığı için çıkış geriliminde DA (doğru akım) incelemede bariz dalgalanma ve aşım (overshoot) görülmemiştir. Bu sonuca göre ilk başta çeviricinin yumuşak geçişi düzgün yaptığı söylenebilir. Fakat giriş gerilimi manuel olarak yavaş bir şekilde artırıldığında AA (alternatif akım) incelemede 3-2 ile 2-1 mod geçişlerinde kontrolcünün bölgeler arası formül farklılıklarından dolayı kararsız kaldığı ve histerezis yapıları bulunmadığı için sürekli olarak modunu değiştirdiği bunun sonucunda da çıkış gerilim dalgalanma (ripple) değerlerinin arttığı Şekil 12(a) ve 12(b)'ye bakılarak görülebilir. Söz konusu bu durum 1-0 geçişindeki her iki moddaki farklı formül karakteristiğinden dolayı gözlemlenmemiştir. Bir nevi doğal histerezis oluşmuştur. Ancak bu mod geçişinde kontrolcü sinyali (u), yüksek oranda yeni bir değere sıçrama yaptığı için AA incelemede çıkış geriliminin aşım yaptığı Şekil 12(c)'de görülebilir. Anahtar dalga şekillerinin mod geçişleri esnasındaki dalga şekilleri Şekil 13'te verilmiştir. 3-2 mod geçişinde Q1 ve Q3 anahtarlarında bozulmaların ve darbe atlamaların olduğu durum Şekil 13(a)'ya bakılarak anlaşılabilir. 2-1 ve 1-0 mod geçişlerinde ise bu durumun gözlemlenmediği ve anahtarlamaların düzgün olduğu Şekil 13(b) ve 13(c)'ye bakılarak görülebilir. Yine aynı şekilde mod geçişleri esnasında histerezis yapıları bulunmadığı için çeviricinin sürekli olarak modunu değiştirdiği gözlemlenmiştir.



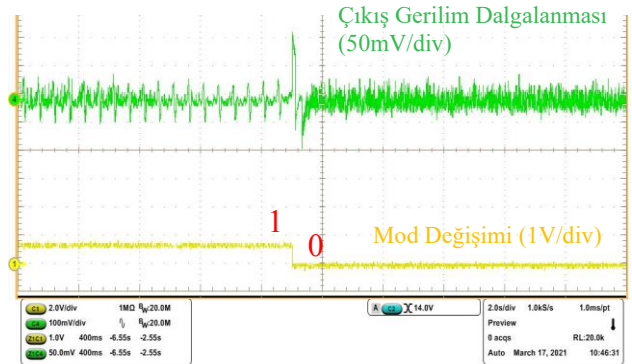
Şekil 11: Yöntem 1, mod geçişlerindeki çıkış gerilimi



(a)

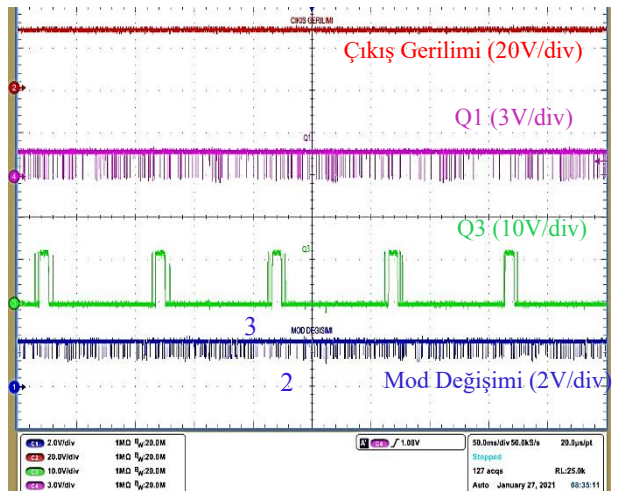


(b)

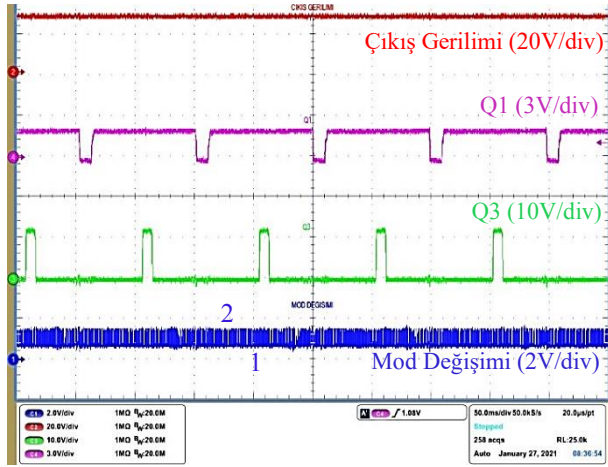


(c)

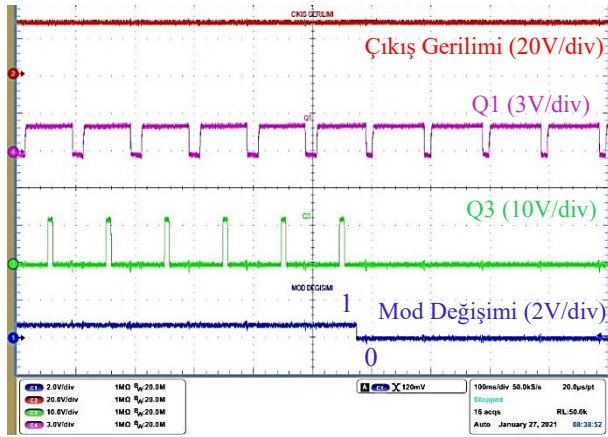
Şekil 12: Yöntem 1, AA incelemede mod geçişleri esnasındaki çıkış gerilimleri a) 3-2 b) 2-1 c) 1-0



(a)



(b)



(c)

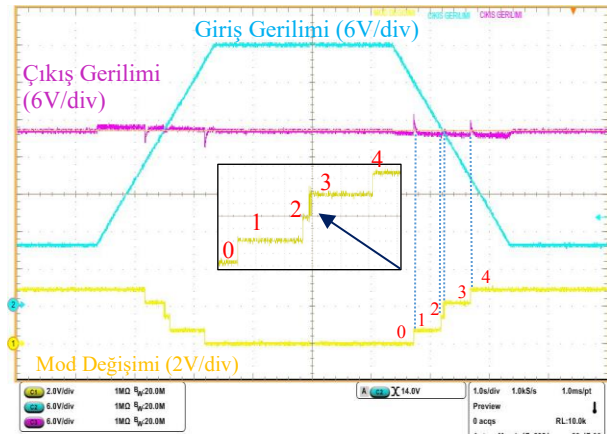
Şekil 13: Yöntem 1, mod geçişlerindeki anahtar durumları
a) 3-2 b) 2-1 c) 1-0

Şekil 14'te Yöntem 2 uygulaması için mod değişimleri esnasında çıkış ve giriş gerilim dalga şekilleri verilmiştir. Şekil 10'de verilen Yöntem 2'nin doluluk oranı karakteristik grafiğine göre doluluk oranlarının birbirlerinin etkilerini kompanse edecek şekilde ayarlanmadığı görülebilir. Bu sebeple 4-3 ve 1-0 mod geçişleri esnasında çeviricinin çıkış geriliminde tepe-tepe arasında yaklaşık 3V'luk anlık istenmeyen aşımalar yaptığı Şekil 14(a) ve 14(b)'ye bakıldığında görülür. Ayrıca Şekil 15(a) ve 15(d)'de bu sıçramaların etkisinden dolayı AA incelemede çıkış gerilim dalgalanmasının geçiş esnasında anlık olarak yükseldiği fark edilmiştir. Bu sebeple Yöntem 2 tam manasıyla yumuşak mod geçişi sağlayamamaktadır. Fakat yine de mod geçişleri esnasında histerezis yapısı kullanıldığı için 4-3 ve 1-0 geçişlerinde kontrolcü sinyali (u) kararsızlıklarından kaynaklı oluşabilecek sürekli mod değiştirme problemleri bu iki bölge geçişinde çözülmüştür denilebilir.

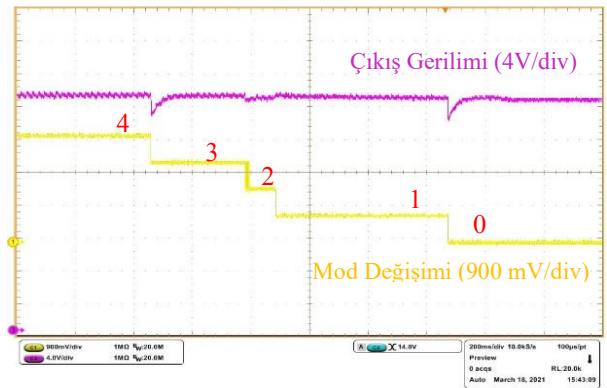
3-2-1 geçişlerinde çeviricinin alçaltıcı-yükseltici modda çalıştığı ve doluluk oranı karakteristik grafiğine göre (Şekil 10) sadece formül yapılarının değiştiği sonucuna varılır. Bu bölgelerde dört anahtarla anahtarlama yapılır. 3-2-1 geçişlerinde doluluk oranı değerlerinin (D_1, D_2) yapıları, formülleri değiştiği için Şekil 10'a göre $u = d_{2max}$ ve $u = 1 - e + d_{1min}$ noktaları etrafında oluşabilecek kontrolcü sinyali (u)

kararsızlıklarından kaynaklı çevirici modunu değiştirebilir. 3-2 geçişinde oluşan bu durum Şekil 15(b)'de görülebilir. Aynı durumun 2-1 geçişinde görülmesi de beklenmektedir fakat bu geçişte formül farklarından kaynaklı olarak doğal bir histerezis yapısı oluşmaktadır. Bu sebeple 2-1 geçişinde sürekli mod değişiminin gerçekleşmediği Şekil 15(c) incelendiğinde görülebilir. Oluşan bu doğal histerezis yapısı, kontrolcü sinyalinin (u) yatay ekseninde anlık bir sıçrama yapmasından kaynaklanmaktadır. Başta iyi gibi gözükse de bu doğal histerezis yapısı kontrolcü sinyalindeki ani sıçramadan dolayı AA incelemede çıkış geriliminde Şekil 15(c)'de ve DA incelemede Şekil 14(b)'de görüldüğü gibi anlık istenmeyen aşımaların ve dalgalanmaların oluşmasına neden olur.

Bu yöntemde anahtarlarda darbe atlama ve kararsızlık durumları gözlemlenmemiştir. 3-2 mod geçişi esnasında oluşan kontrolcü kararsızlığı sonucundaki mod değişiminin anahtarlama yapılarına yansımadağı ve anahtarların Şekil 13(b) ve (c)'dekine benzer düzgün bir şekilde anahtarlama yaptığı sonucuna ulaşılmıştır. Bu neden anahtar dalga şekilleri burada tekrar verilmemiştir.

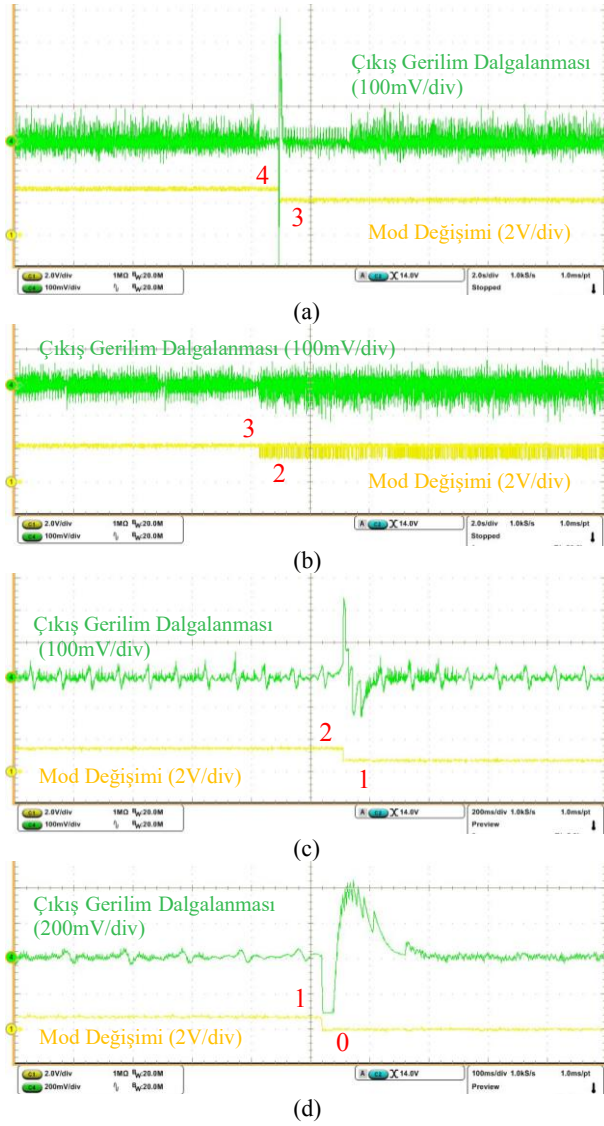


(a)



(b)

Şekil 14: Yöntem 2, a) mod geçişlerindeki çıkış gerilim grafiği b) yakınlaştırılmış görünüm



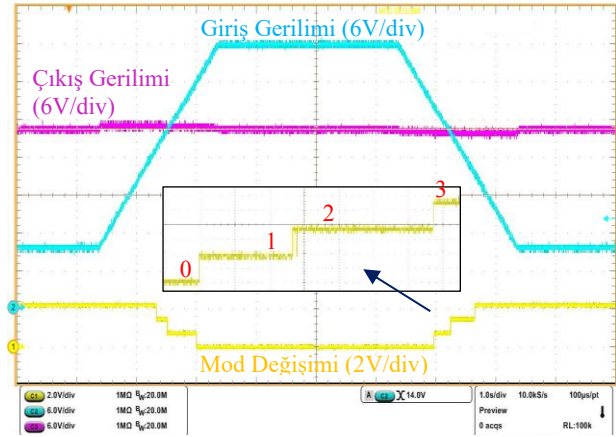
Şekil 15: Yöntem 2, AA incelemede mod geçişleri esnasındaki çıkış gerilimleri a) 4-3 b) 3-2 c) 2-1 d) 1-0

Bu çalışma kapsamında Önerilen Yöntemin mod geçişleri esnasında çıkış gerilimine olan etkisi Şekil 16'da verilmiştir. Doluluk oranları karakteristikleri Şekil 4'te verildiği gibi sıçramaların etkilerini kompanse edecek şekilde tasarlandığı için çıkış geriliminde gözle görülür osilasyon ve anlık istenmeyen aşımalar gözlemlenmemiştir. Çünkü doluluk oranı değerleri (D_1, D_2) birbirlerinin negatif etkilerini minimuma indirecek şekilde ayarlanmıştır. Bunun yanı sıra mod geçişlerinde histerezis yapıları kullanıldığı için mod geçişi esnasında kontrolcüde yaşanacak kontrol döngüsü gecikmeleri, doluluk oranlarının tam olarak birbirine kompanse edememesi gibi durumlardan kaynaklı oluşan kararsızlıklardan kaçınılarak çeviricinin sürekli olarak modunu değiştirmesi sorunu çözülmüştür.

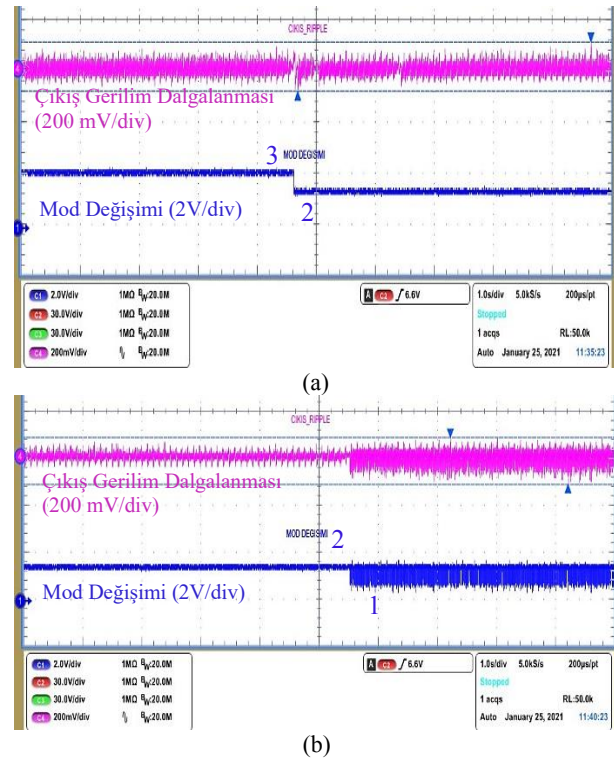
Şekil 17'de mod değişimleri sonucunda AA incelemede çıkış gerilim dalgalanma grafikleri verilmiştir. 3-2 ve 1-0 mod geçişlerinde çıkışta bariz gerilim dalgalanması görülmemiştir. 2-1 geçişinde ise mod değiştirme kararsızlığından dolayı çıkış gerilim dalgalanmasının (ripple) arttığı Şekil 17(b)'ye bakıldığında görülebilir. Bu, önermiş olduğumuz yöntemin tek

dezavantajıdır. Bu olumsuzlukla Yöntem 1 ve Yöntem 2'de birden fazla noktada karşılaşılmaktadır. Önermiş olduğumuz bu yöntemde ise sadece 2-1 mod geçişi esnasında karşılaşılmıştır. Şekil 4'te 2-1 geçişinde temel rol oynayan $u = 1$ noktasında histerezis yapısı bulunmadığı için kontrolcü sinyali (u) bahsedilen nedenlerden dolayı kararsızlıkta kalarak çeviricinin sürekli olarak modunu değiştirmesine sebep olur. Bunun sonucunda da 2-1 geçişinde AA incelemede çıkış dalgalanma geriliminin arttığı görülür. Bu sorunun çözümü ilgili nokta etrafına histerezis yapısının yerleştirilmesi olabilir. Fakat bu çalışma kapsamında bu noktadaki sorunun çözümü incelenmemiştir.

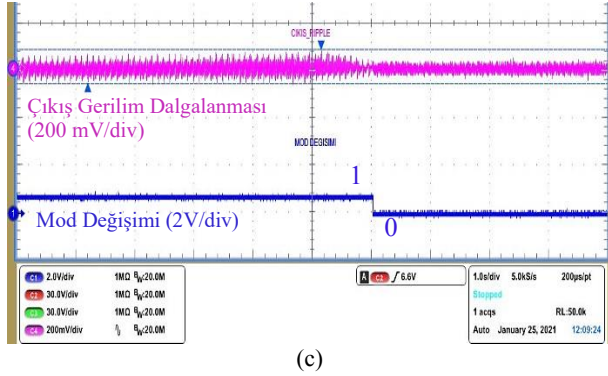
Önermiş olduğumuz bu yöntemde de anahtarlar darbe atlamaları görülmemiştir ve anahtarların Şekil 13(b) ve (c)'dekine benzer düzgün bir şekilde yaptığı görülmüştür. Bu nedenle anahtar dalga şekilleri burada tekrar verilmemiştir.



Şekil 16: Önerilen Yöntem, mod geçişlerindeki çıkış gerilimi



(b)

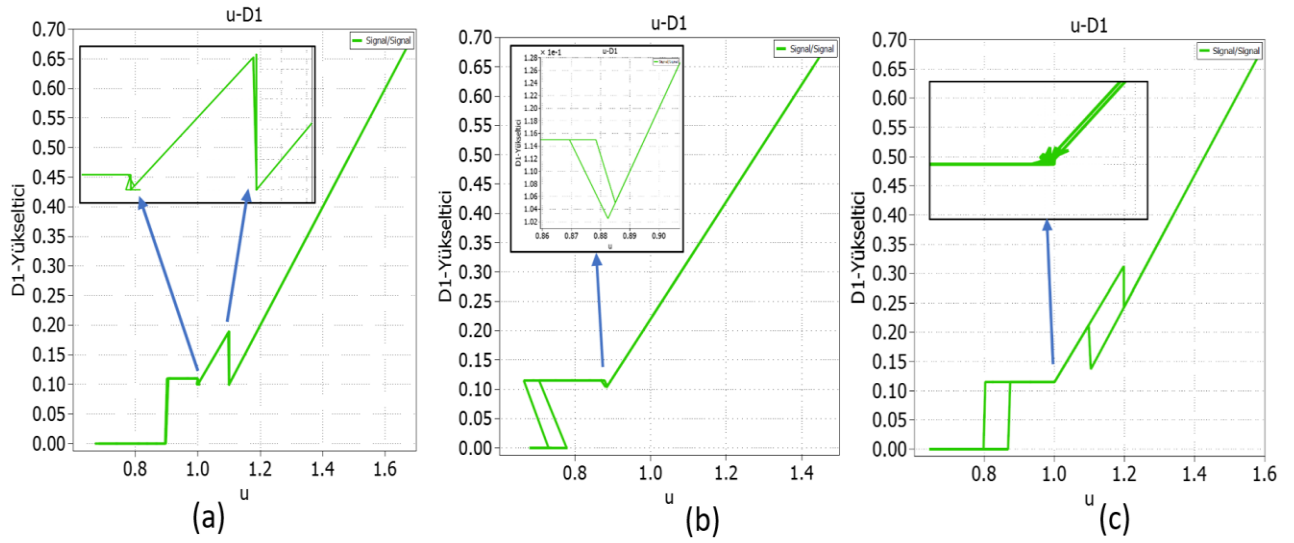


(c)

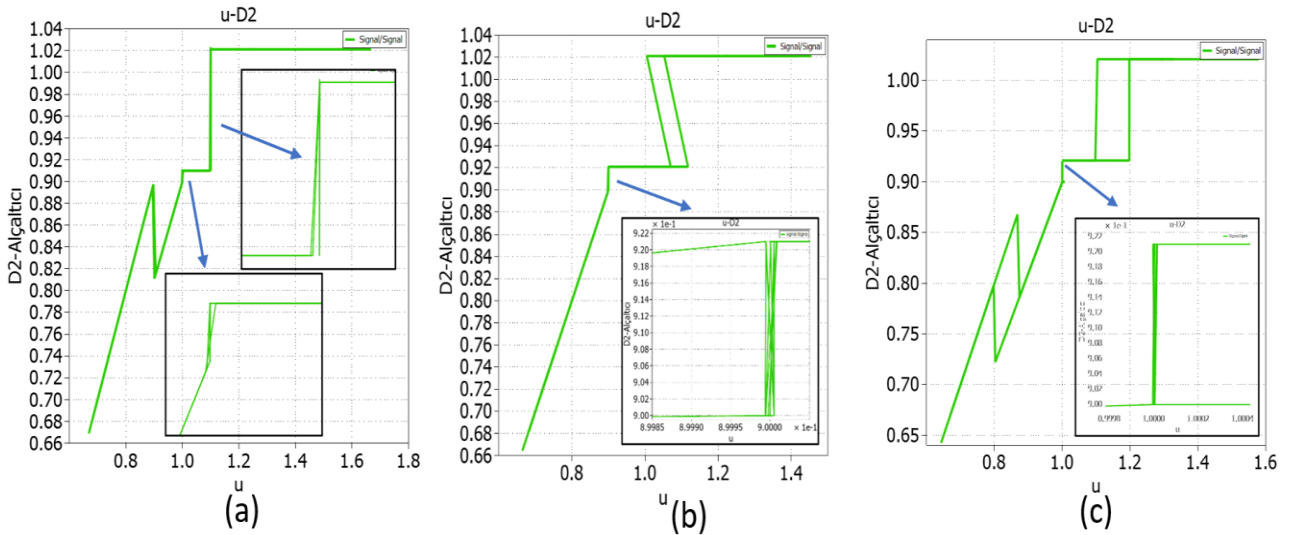
Şekil 17: Önerilen Yöntem, AA incelemede mod geçişleri esnasındaki çıkış gerilimleri a) 3-2 b) 2-1 c) 1-0

Gerçek zamanlı olarak uygulama aşamasında Yöntem 1, Yöntem 2 ve Önerilen Yöntem için elde edilen $u-D_1$, $u-D_2$ ve Kazanç- u dalga şekilleri sırasıyla Şekil 18, 19 ve 20'de verilmiştir. Ani sıçrama ve formül değişim noktalarında çeviricinin sürekli modunu değiştirme ve kararsızlık durumu doluluk oranı ve kazanç grafiklerine bakıldığında da gözlemlenebilir. Problem yaşanan noktaların yakınlaştırılması görüntüleri şekiller içerisinde ok çıkarılarak gösterilmiştir.

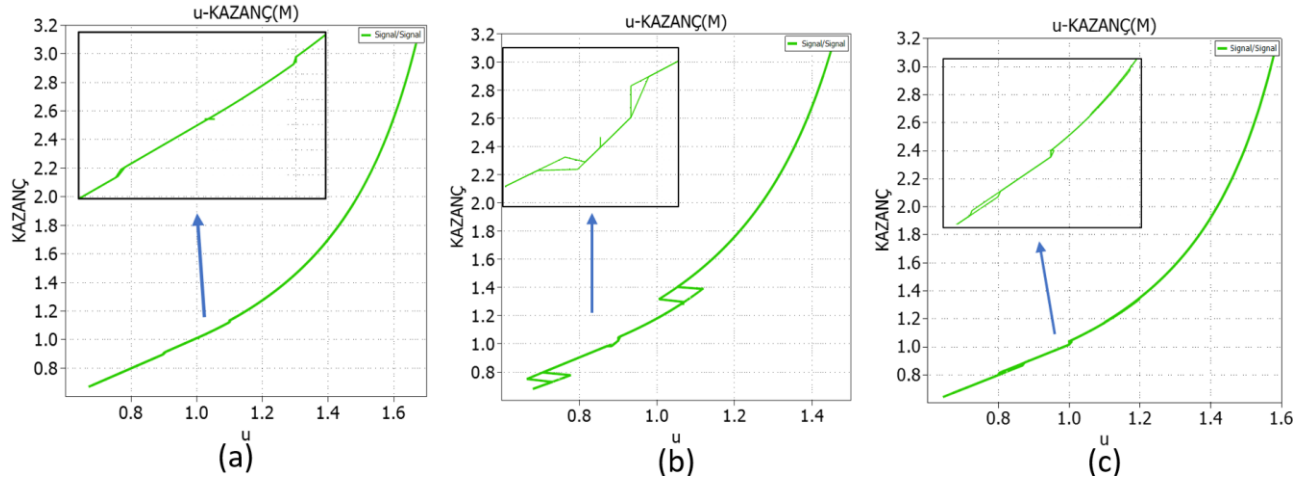
Tablo-2'de ise Yöntem 1, Yöntem 2 ve Önerilen Yöntemdeki mod geçişleri sonucunda elde edilen tepeden tepeye AA gerilim dalgalanması (ripple, V_{p-p}), DA incelemedeki aşım değerleri ($V_{aşım}$), mod değişiminin düzgün yapılıp yapılmadığı ve anahtarların düzgün çalışıp çalışmadığı gibi bilgiler özetlenmiştir.



Şekil 18: Gerçek zamanlı elde edilen $u-D_1$ grafikleri a) Yöntem 1 b) Yöntem 2 c) Önerilen Yöntem



Şekil 19: Gerçek zamanlı elde edilen $u-D_2$ grafikleri a) Yöntem 1 b) Yöntem 2 c) Önerilen Yöntem

Şekil 20: Gerçek zamanlı elde edilen Kazanç- u grafikleri a) Yöntem 1 b) Yöntem 2 c) Önerilen Yöntem

Tablo 2: Yöntemlerin Karşılaştırılması

Yöntemler / Mod Geçişleri	4-3	3-2	2-1	1-0
Yöntem 1	-	* $V_{p-p} \cong 310$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı var. *Anahtarlamalarda darbe atlamaları mevcut.	* $V_{p-p} \cong 135$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı var. *Düzensiz anahtarlama.	* $V_{p-p} \cong 215$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.
Yöntem 2	* $V_{p-p} \cong 800$ mV * $V_{aşım} \cong 3$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.	* $V_{p-p} \cong 165$ mV * $V_{aşım} \cong 1$ V *Mod kararsızlığı var. *Düzensiz anahtarlama.	* $V_{p-p} \cong 350$ mV * $V_{aşım} \cong 1$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.	* $V_{p-p} \cong 720$ mV * $V_{aşım} \cong 3$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.
Yöntem 3 (Önerilen)	-	* $V_{p-p} \cong 125$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.	* $V_{p-p} \cong 135$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı var. *Düzensiz anahtarlama.	* $V_{p-p} \cong 85$ mV * $V_{aşım} \cong 0,2$ V *Mod kararsızlığı yok. *Düzensiz anahtarlama.

Yöntem 1'in [7] Sonuçlarının Yorumlanması:

Şekil 18(a)'ya bakıldığında Yöntem 1'deki D_1 doluluk oranı değerinin doluluk oranı kısıtlamalarından kaynaklı ani sıçrama yaptığı noktada Şekil 19(a)'da verile D_2 doluluk oranı değerinin bu sıçramanın çeviriciye olan etkisini minimuma indirmek amacıyla azaltılmıştır. Bu durumun diğer sıçrama noktasında da gerçekleştirildiği görülmektedir. Doluluk oranları birbirlerinin olumsuz etkilerini azaltacak şekilde ayarlandığı için Şekil 20(a)'da kazanç- u grafiğinin olabildiğince parabolik, ideal duruma yakın bir eğimle arttığı gözlemlenebilir. Fakat doluluk oranı ve formül geçiş noktalarında histerezis yapıları bulunmadığı için 3-2 ve 2-1 geçişlerinde Tablo-2'deki sonuçlara bakıldığında mod kararsızlıklarının olduğu görülebilir. Bunun sonucunda AA incelemede dalgalanma değerlerinin yükseldiği sonucuna ulaşılır. Buna ek olarak 3-2 mod geçişinde anahtarlar darbe atlamaları gözlemlenmiştir. 1-0 geçişinde de histerezis yapısı bulunmamaktadır. Mod değişimi esnasında kararsızlık oluşması beklenirken bu durumun elde edilen sonuçlara göre gerçekleşmediği gözlemlenmiştir. Bunun sebebi ise önceki sayfalarda anlatıldığı gibi bu geçiş esnasında doğal histerezisin oluşmasıdır. Doluluk oranlarının maksimum ve minimum değerleri değiştirildiğinde sadece bu değerlere özgü doğal histerezis durumu ortadan kalkacağı için 2-1 geçişinde de mod

kararsızlıkları görülür. Bu sebeple 3-2, 2-1, 1-0 mod geçişlerinde potansiyel mod kararsızlığı problemleri mevcuttur ve çözülmesi gerekir. Son olarak doluluk oranı değerleri birbirlerini kompanze ettiği için DA incelemedeki aşım gerilim değerleri düşüktür.

Yöntem 2'nin [8] Sonuçlarının Yorumlanması:

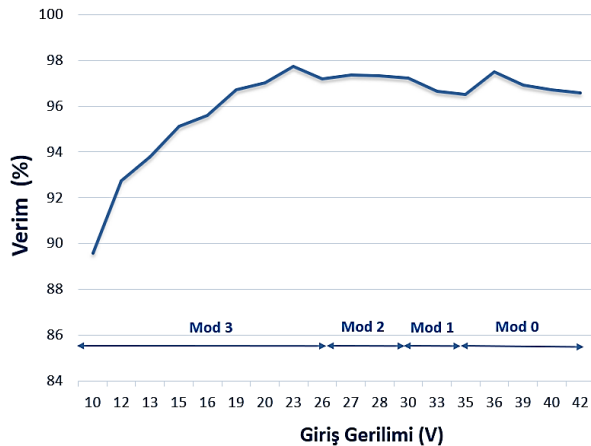
Bu yöntemde ani sıçrama yapılan noktalarda D_1 ve D_2 doluluk oranlarının bu sıçramaların çeviriciye olan olumsuz etkilerini minimuma indirmek için birbirlerini kompanze edecek şekilde ayarlanmadığı Şekil 18(b) ve Şekil 19(b)'ye bakıldığında görülebilir. Bunun sonucunda Şekil 20(b)'deki kazanç- u grafiğinde yüksek genlikli sıçramalar görülür. Grafik ideal beklenen parabolik eğriden uzaklaşır. 4-3 ve 1-0 geçişlerinde histerezis yapıları bulunduğu için Tablo-2'de verildiği gibi o bölgelerde mod kararsızlığı söz konusu değildir. Fakat doluluk oranları birbirlerinin etkilerini kompanze edecek şekilde ayarlanmadığı için aşım gerilim ve gerilim dalgalanması değerlerinin oldukça yüksek olduğu görülmektedir. 3-2 mod geçişinde ise histerezis yapısı bulunmadığı için mod kararsızlığı mevcuttur. Aynı durumun 2-1 geçişinde de olması beklenirken bu durumun gerçekleşmediği gözlemlenmiştir. Bunun sebebi Yöntem 1'in sonuçları kısmında da bahsedildiği gibi 2-1 geçişinde doğal histerezisin oluşmasıdır.

Farklı minimum, maksimum doluluk oranı ve histerezis pencere genişliği değerleri için bu doğal histerezis durumu ortadan kalkacak ve mod kararsızlıkları oluşacaktır. Bu sebeple 3-2 ve 2-1 geçişlerinde potansiyel mod kararsızlığı problemi mevcuttur ve çözülmesi gerekir.

Yöntem 3 (Önerilen Yöntem) Sonuçlarının Yorumlanması:

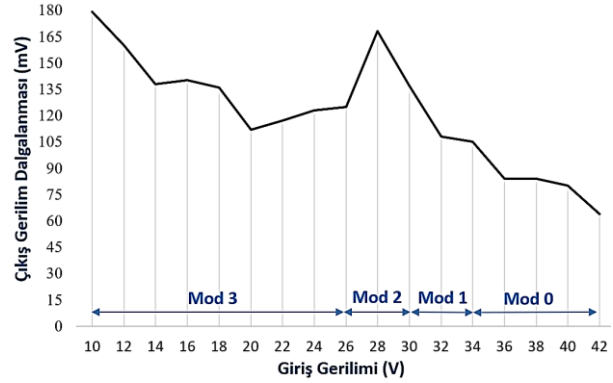
Şekil 18(c) ve 19(c)'de gerçek zamanlı elde edilen sonuçlara göre doluluk oranı değerlerinin (D_1 , D_2) kısıtlamalardan dolayı oluşan ani sıçramalar sonucunda çeviriciye olan olumsuz etkilerini minimize etmek için birbirlerini kompanze edecek şekilde ayarlandıkları görülebilir. Bu sebeple Şekil 20(c)'deki kazanç grafiğinin incelendiğinde grafiğin olabildiğince ideal duruma yakın olduğu ve düzgün bir parabolik eğri ile arttığı söylenebilir. Buna ek olarak Tablo-2'ye göre de DA incelemede aşım gerilim değerlerinin düşük olduğu görülür. Ayrıca 3-2 ve 1-0 mod geçişlerinde histerezis yapıları kullanıldığı için mod geçişlerinde kararsızlık görülmediği ve bu geçişlerde AA incelemede çıkış gerilim dalgalanma değerlerinin düşük olduğu söylenebilir. Önermiş olduğumuz yöntemin tek dezavantajı ise Şekil 4'te önerilen doluluk oranı karakteristik grafiğinde $u = 1$ mod değişim noktasında histerezisin bulunmamasıdır. Bu nokta etrafında D_1 ve D_2 doluluk oranlarının formülleri değiştiği için kontrolcü sinyalinde (u) kararsızlıklar oluşur. Bunun sonucunda çevirici sürekli olarak 2-1 geçişinde modunu değiştirir. Bu durum Şekil 18(c) ve 19(c)'de $u = 1$ noktasına bakıldığında görülebilir. Ayrıca Tablo-2'ye bakıldığında AA incelemede dalgalanma geriliminin 3-2 ve 1-0 geçişlerindeki göre fazla olduğu sonucuna ulaşılabilir.

Ekstra bir çalışma olarak önermiş olduğumuz yöntem için değişken giriş gerilimlerine göre verimlilik sonuçları Şekil 21'de verilmiştir. Şekle göre verimliliğin en düşük olduğu durum giriş gerilim değerinin minimum olduğu yerdir. Bu noktada girişten çekilen akım artacağı için anahtarlar ve bobin üzerindeki akım değerleri artacaktır. Bunun sonucunda anahtarlama ve iletim kayıpları artacak ve verimlilik düşecektir. Giriş geriliminin 20-42 V arasında bulunduğu sürece verimliliğin %96 ile %98 arasında değiştiği gözlemlenmiştir.



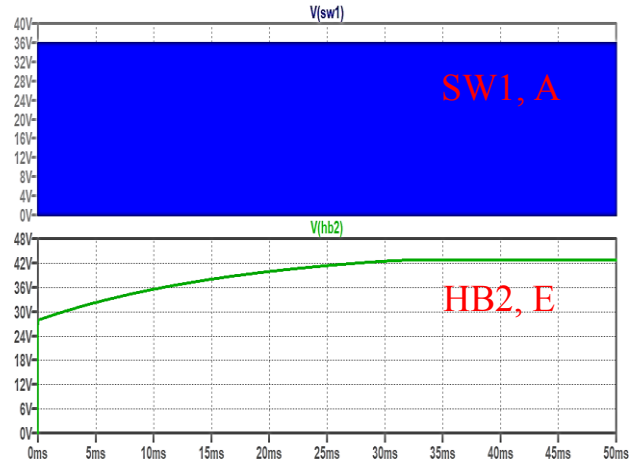
Şekil 21: Önerilen Yöntemdeki Verimlilikler

Şekil 22'de yine önermiş olduğumuz yöntem için değişken giriş gerilimlerine göre AA incelemede çıkış gerilim dalgalanması grafiği verilmiştir. Dalgalanma değerlerinin yükseltici modda daha yüksek olduğu görülebilir. Ayrıca giriş gerilim değeri arttıkça ve alçaltıcı moda yaklaştıkça gerilim dalgalanmasının azaldığı söylenebilir.



Şekil 22: Önerilen Yöntemde AA incelemede çıkış gerilim dalgalanma değerleri

Son olarak ise, Bölüm 4'te detaylı olarak anlatılan bootstrap tabanlı anahtar sürücü entegrelerindeki üst anahtarın %100 açılmama probleminin çözümü için Şekil 5'te tasarlanan devre yapısının benzetim sonuçları Şekil 23'te verilmiştir.



Şekil 23: Anahtar sürücü entegresi için kurulan devre benzetimi

Buna göre alçaltıcı modda çeviricinin üst anahtar ile alt anahtarın birleşim noktası yani anahtarlama noktasında (SW1, A) 0 ile giriş gerilimi değeri arasında değişkenlik gösteren gerilim süzülerek, E noktasında yani yükseltici kısmı bootstrap kapasitörü (C_3) üzerinde ve HB2 noktasında sabit bir gerilim oluşturulmuştur. Bu sayede yükseltici kısmı üst anahtarının (Q4) %100 iletime, alt anahtarın (Q3) ise kesime girmesi sağlanarak bobin üzerindeki enerjinin alçaltıcı kısım anahtarlarına (Q1, Q2) bağlı olarak çıkışa aktarılması sağlanmıştır. Uygulamada aşamasında Şekil 13(c)'ye bakıldığında bu durumun başarıyla gerçekleştiği görülebilir.

6. Sonuçlar

Bu çalışma kapsamında dijital kontrollü dört anahtarlı alçaltıcı-yükseltici çeviricideki doluluk oranı kısıtlamalarından kaynaklı mod geçişlerinde ortaya çıkan problemler ve bunun neticesinde oluşan ölü bölgedeki regülasyon kararsızlıklarından kaçınma yöntemleri incelenmiştir.

Literatürde iyi bilinen (state-of-the-art) iki yönteme göre mod geçişlerinde daha iyi bir performans gösteren yeni bir yumuşak geçiş yöntemi önerilmiş ve analiz edilmiştir.

Elde edilen sonuçlara göre önermiş olduğumuz yöntemin diğer yöntemlere göre daha üstün olduğu görülmüştür. Önermiş olduğumuz yöntem doluluk oranı kısıtlamalarından kaynaklı mod geçişlerinde oluşabilecek kararsızlıkları önleyebilmek adına doluluk oranları birbirlerinin olumsuz etkilerini kompanze edecek şekilde tasarlanmıştır. Ayrıca yine aynı kararsızlıklardan dolayı çeviricinin sürekli mod değiştirmesini engelleyebilmek adına histerezis yapıları kullanılmıştır. Bu sayede mod geçişlerindeki problemler minimuma indirilmiştir.

Ek olarak bootstrap tabanlı senkron anahtar sürücü entegrelerinde üstte bulunan anahtarın iletime girebilmesi için, bootstrap kapasitörünün belirli aralıklarla şarj edilmesi gerekmektedir. Bu şarj döngüsü hem yazılıma ekstra külfet getirir hem de çeviricideki dört anahtarın da aynı anda çalışmasına sebebiyet vereceği için çeviricinin tamamen alçaltıcı veya yükseltici modlarda çalışmasına mâni olur. Tasarlanan düşük maliyetli devre sayesinde bu sorun çözülmüş ve üstteki anahtarın %100 iletimde kalması sağlanmıştır.

7. Kaynakça

- [1] N. Zhang, S. Batternally, K. C. Lim, K. W. See, and F. Han, "Analysis of the non-inverting buck-boost converter with four-mode control method," *Proc. IECON 2017 - 43rd Annu. Conf. IEEE Ind. Electron. Soc.*, vol. 2017-Janua, pp. 876–881, 2017, doi: 10.1109/IECON.2017.8216151.
- [2] L. T. Corporation, "LT8705 – 80VIN and VOUT Synchronous 4-Switch Buck-Boost DC/DC Controller," pp. 1–44.
- [3] Y. J. Lee, A. Khaligh, and A. Emadi, "A compensation technique for smooth transitions in a noninverting buck-boost converter," *IEEE Trans. Power Electron.*, vol. 24, no. 4, pp. 1002–1015, 2009, doi: 10.1109/TPEL.2008.2010044.
- [4] M. F. Hung and K. H. Tseng, "Study on the Corresponding Relationship between Dynamics System and System Structural Configurations-Develop a Universal Analysis Method for Eliminating the RHP-Zeros of System," *IEEE Trans. Ind. Electron.*, vol. 65, no. 7, pp. 5774–5784, 2018, doi: 10.1109/TIE.2017.2777386.
- [5] C. Basso, "The Right Half Plane Zero, a Two-Way Control Path," 2008.
- [6] Texas Instruments, "Practical Feedback Loop Analysis for Voltage-Mode Boost Converter," *Appl. Report, SLVA636*, no. January, pp. 1–14, 2014, [Online]. Available: <http://www.ti.com/lit/pdf/slva636>
- [7] R. Zaitu and P. M. P. Ppm, "Voltage Mode Boost Converter Small Signal Control Loop Analysis Using the TPS61030," *Converter*, no. May, pp. 1–21, 2007.
- [8] L. Callegaro, M. Ciobotaru, D. J. Pagano, E. Turano, and J. E. Fletcher, "A Simple Smooth Transition Technique for the Noninverting Buck-Boost Converter," *IEEE Trans. Power Electron.*, vol. 33, no. 6, pp. 4906–4915, 2018, doi: 10.1109/TPEL.2017.2731974.
- [9] C. Restrepo, T. Konjedic, J. Calvente, and R. Giral, "Hysteretic transition method for avoiding the dead-zone effect and subharmonics in a noninverting buck-boost converter," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3418–3430, 2015, doi: 10.1109/TPEL.2014.2333736.
- [10] R. Paul and D. Maksimovic, "Smooth transition and ripple reduction in 4-switch non-inverting buck-boost power converter for WCDMA RF power amplifier," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 3266–3269, 2008, doi: 10.1109/ISCAS.2008.4542155.
- [11] M. Gaboriault and A. Notman, "A high efficiency, non-inverting, buck-boost DC-DC converter," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 3, no. C, pp. 1411–1415, 2004, doi: 10.1109/apec.2004.1296049.
- [12] X. Ren, X. Ruan, H. Qian, M. Li, and Q. Chen, "Three-mode dual frequency two-edge modulation scheme for four-switch buck-boost converter," *IEEE Trans. Power Electron.*, vol. 24, no. 2, pp. 499–509, 2009, doi: 10.1109/TPEL.2008.2005578.
- [13] P. C. Huang, W. Q. Wu, H. H. Ho, and K. H. Chen, "High efficiency and smooth transition buck-boost converter for extending battery life in portable devices," *2009 IEEE Energy Convers. Congr. Expo. ECCE 2009*, vol. 2, no. 2, pp. 2869–2872, 2009, doi: 10.1109/ECCE.2009.5316448.
- [14] Y.-J. Lee, A. Khaligh, A. Chakraborty, and A. Emadi, "Digital combination of buck and boost converters to control a positive buckboost converter and improve the output transients," *IEEE Trans. Power Electron.*, vol. 24, no. 5, pp. 1267–1279, May. 2009.
- [15] P.-C. Huang, W.-Q. Wu, H.-H. Ho, and K.-H. Chen, "Hybrid buck-boost feedforward and reduced average inductor current techniques in fast line transient and high-efficiency buck-boost converter," *IEEE Trans. Power Electron.*, vol. 25, no. 3, pp. 719–730, Mar. 2010.
- [16] C. L. Wei, C. H. Chen, K. C. Wu, and I. T. Ko, "Design of an average-current-mode noninverting buck-boost DC-DC converter with reduced switching and conduction losses," *IEEE Trans. Power Electron.*, vol. 27, no. 12, pp. 4934–4943, 2012, doi: 10.1109/TPEL.2012.2193144.
- [17] R. Paul and D. Maksimovic, "Analysis of PWM nonlinearity in non-inverting buck-boost power converters," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, vol. 3, pp. 3741–3747, 2008, doi: 10.1109/PESC.2008.4592538.
- [18] Y. M. Chen, Y. L. Chen, and C. W. Chen, "Progressive smooth transition for four-switch buck-boost converter in photovoltaic applications," in *Proc. 3rd IEEE Energy Conversion Congr. and Expo.*, Phoenix, AZ, 2011, pp. 3620–3625.
- [19] Y. Lee, S. Member, A. Khaligh, and A. Chakraborty, "Digital Combination of Buck and Boost Converters to Control a Positive Buck – Boost Converter and Improve the Output Transients," vol. 24, no. 5, pp. 1267–1279, 2009.
- [20] R. K. Hester, C. Thornton, S. Dhople, Z. Zhao, N. Sridhar, and D. Freeman, "High efficiency wide load range buck/boost/bridge photovoltaic microconverter," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 309–313, 2011, doi: 10.1109/APEC.2011.5744613.
- [21] B. Sun, "Multimode control for a four-switch buck-boost converter," *Analog Des. J. Power*, pp. 1–6, 2019, [Online]. Available: http://www.ti.com/lit/an/slyt765/slyt765.pdf?utm_content=app-hvp-hpc-null-ns-adj-slyt765-wwe&DCMP=mytinwsltr_03_25_2019&userInfo=tFQTEKqNRksdh6X0oJ1E/dw5n8K28TMs9GiCbiBXHHw=&article_name=app_hvp_hpc_adj_multimodebuck&newsletter=24-MAR-19&eloquaCampaignId.
- [22] T. Ucc and M. Plateau, "UCC2721x 120-V Boot, 4-A Peak, High-Frequency High-Side and Low-Side Driver PACKAGE," 2017.

Burak ÇAYKENARI



Burak ÇAYKENARI, 1994 Çankırı doğumludur. Lisans derecesini 2017 yılında Dokuz Eylül Üniversitesi Elektrik-Elektronik Mühendisliği bölümünden almıştır. 2018 yılında Gazi Üniversitesi Elektrik-Elektronik Mühendisliği bölümünde yüksek lisans çalışmalarına başlamıştır. Halen ASELSAN A.Ş.'de analog tasarım mühendisi olarak çalışmaktadır.

Doç. Dr. Bünyamin TAMYÜREK



Doç. Dr. Bünyamin TAMYÜREK, 1970 Artvin-Yusufeli doğumludur. Lisans derecesini 1991 yılında Yıldız Teknik Üniversitesi elektrik mühendisliği bölümünden, yüksek lisans ve doktora derecelerini 1996 ve 2001 yıllarında New York eyaletinin Troy şehrinde yer alan Rensselaer Polytechnic Institute mühendislik okulunun elektrik güç mühendisliği bölümünden almıştır. Dr. Tamyürek, Amerika Birleşik Devletlerinin Ohio eyaletine bağlı Columbus şehrinde, enerji üretim, iletim ve dağıtımını yapan American Electric Power (AEP) isimli kuruluşta iki yıl süreyle yenilenebilir enerji kaynakları ve enerji depolama sistemleri konusunda araştırma ve geliştirme mühendisi olarak görev almıştır. Türkiye dönüşünden sonra 2004-2019 yılları arasında Eskişehir Osmangazi Üniversitesi Elektrik ve Elektronik Mühendisliği Bölümünde çalışmıştır. 2019 yılından itibaren de Gazi Üniversitesi Elektrik ve Elektronik Mühendisliği Bölümünde öğretim üyesi olarak çalışmaktadır. Güç elektroniği, kesintisiz güç kaynakları, elektrikli araçlarda elektrikli tahrik ve batarya şarj sistemleri, raylı sistemler, enerji depolama sistemleri, akıllı şebekeler ve askeri ve endüstriyel uygulama alanlarında enerji verimliliği yüksek güç dönüştürücü tasarımı konularında çalışmalar yapmaktadır.